

## 明 細 書

### 多電源半導体装置

#### 技術分野

- [0001] 本発明は、複数の電源電圧で動作する多電源半導体装置に関し、特に、複数のブロックにより構成され、一部または全てのブロックが独立したクロック回路を有する多電源半導体装置に関する。

#### 背景技術

- [0002] 近年、半導体装置を搭載する携帯電話機等の電子機器では、小型化、低消費電力化が進められている。そのため、半導体装置に対しても消費電力を低減することが要求されている。
- [0003] 消費電力を低減するためには電源電圧を下げるのが有効である。また、電源電圧を下げればリーク電流を下げることもなるため消費電力が低減される。しかし、電源電圧を一律に下げると扱うことのできるクロック周波数が低くなってしまい、動作速度が遅くなってしまう。そのため、半導体装置を構成する複数のブロックのうち、動作速度が遅くても良いブロックの電源電圧は低くし、速い動作速度が必要なブロックの電源電圧は高くするというように、複数の電圧で動作し、各ブロック毎に供給する電源電圧を変更可能な多電源半導体装置が用いられるようになっている。
- [0004] また、待機時において、電源電圧を供給することが必要なブロックのみに電源電圧を供給するようにすれば待機時のリーク電流を必要最小限に抑えることが可能となり、結果として消費電力を低減することができる。
- [0005] ここで、以下の説明では、多電源半導体装置とは、複数の電源系統により供給される電圧値の異なる複数の電源により動作する半導体装置だけでなく、複数の電源系統により供給される電圧値の同じ複数の電源により動作する半導体装置や、電源電圧が変化する1つの電源系統により動作する半導体装置をも含むものとする。
- [0006] 複数のブロックにより構成された従来の半導体装置では、一部または全てのブロックに独立したクロック回路が備えられていて、複数のブロックに共通して設けられたクロック生成回路からのクロック信号に基づいて、各ブロック毎に内部で使用するクロッ

ク信号を駆動している。しかし、各ブロック内でそれぞれクロック信号を駆動すると、各ブロック内でクロック信号を駆動する際にタイミングのずれが発生してクロックスキューが発生する場合がある。このようなブロック間のクロックスキューが発生すると各ブロック間での信号タイミングがずれてしまうという問題が発生する。そのため、複数のブロックにより構成された半導体装置では、各ブロックに入力される共通のクロック信号のタイミングを遅延回路によって調整して、各ブロック間のクロックスキューを調整することが行われていた。

- [0007] このように遅延回路によりブロック間クロックスキューを抑制するようにした従来の多電源半導体装置の構成を図1に示す。この従来の多電源半導体装置は、図1に示すように、2つのブロック31、32と、クロック(CLK)生成回路10と、遅延回路120とを備えている。ここでは、説明を簡単にするために多電源半導体装置が2つのブロック31、32により構成されている場合を用いて説明するが、実際にはもっと多数のブロックにより構成されている場合もある。
- [0008] クロック生成回路10は、クロック信号を生成して、ブロック31、ブロック32に供給している。ただし、クロック生成回路10からブロック32に供給されるクロック信号には、途中に遅延回路120が挿入されており、クロック生成回路10により生成されたクロック信号から一定時間だけ遅延された信号がクロック信号としてブロック32に供給されている。
- [0009] また、ブロック31は、クロック回路41と、フリップフロップ(F/F)回路51、52とを備えていて、ブロック32は、クロック回路42と、フリップフロップ回路62、63とを備えている。
- [0010] ブロック31のクロック回路41は、クロック生成回路10からのクロック信号に基づいて、ブロック31内の各回路に供給するためのクロック信号CLK1を駆動している。ブロック32のクロック回路42は、遅延回路120により一定時間遅延された後のクロック信号に基づいて、ブロック32内の各回路に供給するためのクロック信号CLK2を駆動している。
- [0011] このような多電源半導体装置では、供給される電源電圧が一定の範囲内で変化する可変電源を電源として用いる場合でも、全ての動作点で動作保証を行う必要があ

る。つまり、全ての電源電圧においてクロックスキューが信号伝搬遅延より小さくなるように、すなわち信号伝搬遅延がクロックスキューより大きくなるようにブロック回路(クロック回路、演算回路)を設計する必要がある。

[0012] 可変電源101の電圧値によりブロック31、32間のクロック回路41、42の遅延量が変化しなければ、一定の遅延量の遅延回路120を用いることによりブロック31、32間のクロックスキューを抑制することは可能である。

[0013] 例えば、図1に示した従来の多電源半導体装置では、クロック回路41により出力されるクロック信号CLK1と、クロック回路42により出力されるクロック信号CLK2との位相が一致するように遅延回路120の遅延量を設定すれば、ブロック31、32間のクロックスキューを抑制することが可能となる。

[0014] しかし、各ブロック31、32のクロック回路41、42の遅延量の電源電圧依存性が同じでない場合には、可変電源101の電源電圧の変化により、クロック回路遅延がそれぞれ変化し、ブロック間クロックスキューが著しく増加するという問題がある。

[0015] 特に、しきい値( $V_t$ )の異なるMOSTランジスタを同じ半導体装置上に形成するマルチ $V_t$ と呼ばれる手法や、ゲート絶縁膜厚( $T_{ox}$ )の異なるMOSTランジスタを同じ半導体装置上に形成するマルチ $T_{ox}$ と呼ばれる手法を用いた場合には、各ブロック31、32のクロック回路41、42の遅延量の電源電圧依存性が大きく異なることになり、このような問題がより顕著になる。

[0016] 例えば、図1に示したクロック回路41、42の遅延量の電源電圧依存性が図2に示すような特性であったとする。可変電源101が電圧Aの場合には、遅延回路120によりブロック間クロックスキューが無いように設定されていても、可変電源101の電源電圧が変化して電圧Bとなると遅延差が発生し、ブロック間クロックスキューが大きくなってしまうことになる。

[0017] このような従来の多電源半導体装置におけるクロック回路41、42の動作を図3のタイミングチャートに示す。図3のタイミングチャートを参照すると、可変電源101が電圧Aの場合ではほとんど発生していなかったクロックスキューが、可変電源101が電圧Bに変化したことにより大きくなってしまふことがわかる。

[0018] さらに、上記で説明したように多電源半導体装置には、変化しない電源と可変電源

を電源として使用するものもある。このように変化しない電源が入力されたブロックと可変電源が入力されたブロックとが存在する多電源半導体装置を図4に示す。この図4では、ブロック41には、変化しない電源102が入力され、ブロック42には可変電源101が入力されている。入力される電源電圧が異なると出力される信号レベルも異なるため、この電圧差を調整するためにブロック31、32間の信号にはレベルシフタ71ー73が設けられている。この図4に示すような多電源半導体装置では、図5に示すように、可変電源101の電圧値が変化するとブロック32内のクロック回路42の電源電圧も変化することになるため、異なる電源を供給されるブロック31との間でクロックスキューが著しく増加してしまう。

[0019] クロックスキューを低減するための方法としては従来から様々な方法が提案されている。例えば、複数のICチップからなる半導体集積回路システムにおいて、クロックスキューを低減する方法が、例えば、特開平11-39868号公報に開示されている。この半導体集積回路システムでは、ICチップを1つのマスターチップと他のスレーブチップとに分け、マスターチップにおいて電源電圧等の状態の変化を検知し、この検知結果を各スレーブチップに伝達して、各スレーブチップでは、伝達された検知結果の情報に基づいてクロックの位相を調整するようにしている。

[0020] この従来の半導体集積回路システムは、複数のICチップにより構成されているものであるため、1つのチップ上に複数のブロックが形成された多電源半導体装置とは異なる構成であるが、このような方法を多電源半導体装置に適用した場合、電源電圧の変化を検出するための回路およびこの回路から各ブロックへの配線が必要となる。特に多電源半導体装置では、電源系統が複数存在するための各電源系統毎に電源電圧の変化を検出するための回路が必要となり、構成されるブロック数、使用される電源電圧の系統数が増えれば増えるほど回路構成、配線数が増加して集積度の高い半導体装置において採用することは現実的ではない。

[0021] このように、上述した従来の多電源半導体装置では、ある電源電圧の時にクロックスキューが抑制されるように遅延回路により遅延量の調整を行っているので、各ブロックにそれぞれ設けられているクロック回路の遅延量の電源電圧依存性が一様でない場合には、電源電圧が変化するとブロック間のクロックスキューが増加してしまうと

いう問題点があった。

## 発明の開示

[0022] 本発明の目的は、各ブロックにそれぞれ設けられているクロック回路の遅延量の電源電圧依存性が一様でない場合に、電源電圧が変化した場合でも、複雑な構成を用いることなく、ブロック間のクロックスキューを低減することができる多電源半導体装置を提供することである。

[0023] 上記目的を達成するために、本発明の多電源半導体装置は、複数のブロックにより構成され、一部または全てのブロックが独立したクロック回路を有し、複数の電源電圧で動作する多電源半導体装置において、

クロック生成回路から前記複数のブロックにそれぞれ供給されるクロック信号の一部または全てに、電源電圧に基づいて遅延量に変化する可変遅延回路が設けられていることを特徴とする。

[0024] 本発明によれば、クロック生成回路と各ブロックとの間に可変遅延回路を設けて、電源電圧変化に伴う遅延量の変動を補償することにより、電源電圧が変化した場合のブロック間クロックスキューの発生を抑制することができる。

[0025] また、前記可変遅延回路は、電源電圧の低下に伴い遅延量が増加するようにしてもよい。

[0026] 電源電圧の低下に伴いあるブロック内のクロック回路の遅延量が他のブロック内のクロック回路の遅延量よりも少なくなる場合、そのブロックに供給されるクロック信号の遅延量を増加するようにすれば、電源電圧低下に伴うクロックスキューの増加を抑制することが可能となる。

[0027] さらに、本発明の他の多電源半導体装置は、複数のブロックにより構成され、一部または全てのブロックが独立したクロック回路を有し、複数の電源電圧で動作する多電源半導体装置において、

前記電源電圧の電圧レベルを検出し、検出した該電圧レベルを電圧レベル検出信号として出力する電圧レベル検出回路と、

クロック生成回路から前記複数のブロックにそれぞれ供給されるクロック信号の一部または全てに、前記電圧レベル検出信号に基づいて遅延量を変化させる可変遅延

回路とが設けられていることを特徴とする。

[0028] 本発明によれば、電圧レベル検出回路により電源電圧の電圧レベルを検出し、検出された電圧レベルに基づいて可変遅延回路の遅延量を変化させるようにしたものである。

[0029] さらに、本発明の他の多電源半導体装置は、複数のブロックにより構成され、一部または全てのブロックが独立したクロック回路を有し、複数の電源電圧で動作する多電源半導体装置において、

クロック生成回路から前記複数のブロックにそれぞれ供給されるクロック信号の一部または全てに、前記各ブロック内のクロック信号の位相の同期をとるための位相同期回路が設けられていることを特徴とする。

[0030] 本発明によれば、位相同期回路により各ブロック内のクロック信号の位相の同期をとるようにしているので、電源電圧が変化して各ブロック内のクロック回路の遅延量が変わった場合でも、各ブロック内のクロック信号の位相がずれることがない。そのため、電源電圧が変化した場合でも、ブロック間クロックスキューの増加を抑制することができる。

[0031] また、前記位相同期回路の一部または全てに、電源電圧が異なるブロック間で信号レベルの調整を行うレベルシフタの遅延変動を補償するため前記電源電圧に基づいて遅延量が変わる可変遅延回路を設けるようにしてもよい。

[0032] 本発明によれば、レベルシフタの遅延変動が問題となる場合に、このレベルシフタの遅延変動を補償することにより、電源電圧の変動に伴うクロックスキューの増加を抑制することができる。

[0033] さらに、本発明の他の多電源半導体装置は、前記電源電圧の変化を検出する電圧変化検出回路と、

前記電圧変化検出回路が電圧変化中であると判定している期間は、前記クロック生成回路により生成されたクロック信号が前記各ブロック回路に供給されないように遮断する遮断手段とをさらに有するようにしてもよい。

[0034] 本発明によれば、電源電圧が変化している際には、クロック生成回路からのクロック信号が各ブロックに供給されないようにすることにより、電圧変化中の誤動作を防ぎ

ブロック動作の安定化を図ることができる。

[0035] さらに、所定のクロック周波数において正常に動作可能な範囲において、前記電源電圧を最も低くするような制御を行う電源制御信号を生成して出力する電圧下限検出回路と、

前記電源制御信号に基づいて前記電源電圧の制御を行う電源制御回路とをさらに有するようにしてもよい。

[0036] 本発明によれば、正常に動作が行われる範囲で電源電圧を低くすることができるため、消費電力を抑制して高い電力効率を実現することが可能となる。

[0037] また、本発明の他の多電源半導体装置は、複数のブロックにより構成され、一部または全てのブロックが独立したクロック回路を有し、複数の電源電圧で動作する多電源半導体装置において、

現在の動作モードを示す動作モード信号に基づいて前記電源電圧の制御を行う電源制御回路と、

クロック生成回路から前記複数のブロックにそれぞれ供給されるクロック信号の一部または全てに、前記動作モード信号に基づいて遅延量を変化させる可変遅延回路が設けられていることを特徴とする。

[0038] また、前記動作モード信号により示される動作モードが変化したことを検出すると、内部に有するタイマにより設定される一定期間だけクロック制御信号を所定の値とするモード変化検出回路と、

前記クロック制御信号が前記所定の値である間、前記クロック生成回路により生成されたクロック信号が前記各ブロック回路に供給されないように遮断する遮断手段とをさらに有するようにしてもよい。

#### 図面の簡単な説明

[0039] [図1]図1は、従来の多電源半導体装置の構成を示すブロック図である。

[図2]図2は、クロック回路41、42の遅延量の電源電圧依存性を示す図である。

[図3]図3は、従来の多電源半導体装置におけるクロック回路41、42の動作を示すタイミングチャートである。

[図4]図4は、従来の他の多電源半導体装置の構成を示すブロック図である。

[図5]図5は、従来他の多電源半導体装置におけるクロック回路41、42の動作を示すタイミングチャートである。

[図6]図6は、本発明の第1の実施形態の多電源半導体装置の構成を示すブロック図である。

[図7]図7は、図6中の可変遅延回路20の具体的な構成の一例を示す図である。

[図8]図8は、可変遅延回路20を構成する各インバータの一例を示す回路図である。

[図9]図9は、可変遅延回路20を構成する各インバータの他の例を示す回路図である。

[図10]図10は、図6中の可変遅延回路の電源電圧－クロック回路遅延特性を示す図である。

[図11]図11は、本発明の第1の実施形態の多電源半導体装置における各クロック回路41、42の動作を示すタイミングチャートである。

[図12]図12は、本発明の第2の実施形態の多電源半導体装置の構成を示すブロック図である。

[図13]図13は、本発明の第3の実施形態の多電源半導体装置の構成を示すブロック図である。

[図14]図14は、図13中の電圧変化検出回路90の構成を示すブロック図である。

[図15]図15は、図13中の電圧変化検出回路の動作を示すタイミングチャートである。

[図16]図16は、本発明の第4の実施形態の多電源半導体装置の構成を示すブロック図である。

[図17]図17は、図16中の電圧レベル検出回路96の一例を示す図である。

[図18]図18は、図16中の可変遅延回路22の構成の一例を示す図である。

[図19]図19は、図16中の可変遅延回路22の構成の他の例を示す図である。

[図20]図20は、図16中の電圧レベル検出回路96の他の例を示す図である。

[図21]図21は、図16中の可変遅延回路22の構成の他の例を示す図である。

[図22]図22は、本発明の第5の実施形態の多電源半導体装置の構成を示すブロック図である。



[図23]図23は、本発明の第5の実施形態の多電源半導体装置の動作を説明するためのタイミングチャートである。

[図24]図24は、本発明の第6の実施形態の多電源半導体装置の構成を示すブロック図である。

[図25]図25は、図24中の電圧下限検出回路110の構成を示すブロック図である。

[図26]図26は、本発明の第5の実施形態の多電源半導体装置の動作を説明するためのタイミングチャートである。

[図27]図27は、本発明の第7の実施形態の多電源半導体装置の構成を示すブロック図である。

[図28]図28は、図27中の位相同期回路131、132の具体例を示す図である。

[図29]図29は、図27中の位相同期回路131、132の他の具体例を示す図である。

[図30]図30は、本発明の第7の実施形態の多電源半導体装置の動作を説明するためのタイミングチャートである。

[図31]図31は、本発明の第8の実施形態の多電源半導体装置の構成を示すブロック図である。

[図32]図32は、本発明の第8の実施形態の多電源半導体装置の動作を説明するためのタイミングチャートである。

[図33]図33は、本発明の第9の実施形態の多電源半導体装置の構成を示すブロック図である。

[図34]図34は、本発明の第8の実施形態の多電源半導体装置において、動作モードがモードAからモードBに切り替わる際の動作を説明するためのタイミングチャートである。

[図35]図35は、本発明の第8の実施形態の多電源半導体装置において、動作モードがモードBからモードAに切り替わる際の動作を説明するためのタイミングチャートである。

[図36]図36は、本発明の第9の実施形態の多電源半導体装置の他の構成を示すブロック図である。

[図37]図37は、本発明の第9の実施形態の多電源半導体装置のさらに他の構成を

示すブロック図である。

[図38]図38は、図37に示した本発明の第9の実施形態の多電源半導体装置の動作を説明するためのタイミングチャートである。

[図39]図39は、本発明の第10の実施形態の多電源半導体装置の構成を示すブロック図である。

[図40]図40は、クロック回路の遅延量の電源電圧依存性を示す図である。

[図41]図41は、図39中の可変遅延回路24の具体例を示す図である。

[図42]図42は、図39中の可変遅延回路24の他の具体例を示す図である。

[図43]図43は、本発明の第10の実施形態の多電源半導体装置の動作を説明するためのタイミングチャートである。

[図44]図44は、本発明の第10の実施形態の多電源半導体装置の他の構成を示すブロック図である。

[図45]図45は、図44中の可変遅延回路25の具体例を示す図である。

[図46]図46は、図44中の可変遅延回路25の他の具体例を示す図である。

[図47]図47は、本発明の第11の実施形態の多電源半導体装置の他の構成を示すブロック図である。

[図48]図48は、本発明の第12の実施形態の多電源半導体装置の他の構成を示すブロック図である。

[図49]図49は、本発明の第13の実施形態の多電源半導体装置の他の構成を示すブロック図である。

[図50]図50は、本発明の第14の実施形態の多電源半導体装置の他の構成を示すブロック図である。

#### 発明を実施するための最良な形態

[0040] 次に、本発明の目的、特徴および利点を明確にすべく、以下添付した図面を参照しながら、本発明の実施の形態につき詳細に説明する。

[0041] (第1の実施形態)

図6は本発明の第1の実施形態の多電源半導体装置の構成を示すブロック図である。図6において、図1中の構成要素と同一の構成要素には同一の符号を付し、説明

を省略するものとする。

- [0042] 本実施形態の多電源半導体装置は、クロック(CLK)生成回路10と、ブロック31、32と、可変遅延回路20とを備えている。本実施形態の多電源半導体装置は、図1に示した従来の多電源半導体装置に対して、遅延回路120が可変遅延回路20に置き換えられた構成となっている。
- [0043] 本実施形態の多電源半導体装置には、電源電圧が変化する可変電源101が入力されていて、この可変電源101はブロック31、32とともに可変遅延回路20に供給される。また、多電源半導体装置に供給される電源が可変電源101の1系統だけの場合には、クロック生成回路10には可変電源101が供給される。クロック生成回路(ドライバまたはPLL等)10からクロック信号が生成され、そのクロック出力は、ブロック31とブロック32に供給される。ブロック31、32には、それぞれクロック回路41、42が設けられている。また、このブロック31とブロック32との間には信号接続を有する。
- [0044] 可変遅延回路20は、電源電圧に基づいて遅延量が変化する遅延回路であり、本実施形態では可変電源101が電源電圧として供給されているため、可変電源101の電圧値に応じて遅延量が変化する。
- [0045] 本実施形態においても、説明を簡単にするために多電源半導体装置が2つのブロック31、32により構成されている場合を用いて説明するが、実際にはもっと多数のブロックにより構成されている場合もある。
- [0046] ここで、ブロック31は、高しきい値のトランジスタにより構成され、ブロック32は、低しきい値のトランジスタにより構成されているものとして説明する。そのため、可変電源101の電圧が下がると、クロック回路41の遅延量は大幅に増加するが、クロック回路42の遅延量はあまり増加しないものとする。
- [0047] 可変遅延回路20は、可変電源101の電圧が下がると遅延量が増加するように設定されている。そのため、可変電源101の電圧が降下して、クロック回路41の遅延量がクロック回路42の遅延量よりも大きくなった場合でも、可変遅延回路20の遅延量が増加することにより、クロック信号CLK1、CLK2の位相調整が実施される。そのため、各ブロック31、32のF/F51、52、61、62に入力されるクロック信号CLK1、CLK2の位相が合うことになる。そして、この位相調整が行われたクロック信号CLK1、CL

K2に基づきブロック31、32が動作するため、信号の送受信が滞りなく行われる。この際、可変遅延回路20の遅延精度は、信号接続部のホールドマージンを満たせば良い。ホールドマージンとは、誤動作を防止するためにクロックの変化後に信号が状態を維持していなければならないマージンをいう。

- [0048] 次に、図6に示した可変遅延回路20の具体的な構成の一例を図7に示す。図7を参照すると、図6の可変遅延回路20は、高しきい値トランジスタにより構成された複数のインバータが直列に接続された多段インバータにより実現されている。しきい値の高いトランジスタにより構成されたインバータでは、電源電圧の低下に対して、通常回路に比べて、著しく遅延が増加する。そのため、上述したような構成とすることにより、電源電圧に応じて遅延量が増加する可変遅延回路を実現することができる。
- [0049] 可変遅延回路20を構成する各インバータとしては、図8に示すような一般的なインバータを用いることができる。このインバータは、電源電圧とグランド電位との間にPチャネルMOSトランジスタ81とNチャネルMOSトランジスタ82とが接続された一般的なインバータであり、当業者にとって良く知られた構造であるため、その動作については省略する。
- [0050] さらに、可変遅延回路20を構成する各インバータは、ゲート長の大きなトランジスタにより構成されたインバータを用いるようにしてもよい。ゲート長が大きいとトランジスタのしきい値が上昇し、電源電圧の低下に対して、通常回路に比べて、著しく遅延量が増加する。そのため、上述したような電源電圧に応じて遅延量が増加する可変遅延回路を実現することができる。
- [0051] さらに、可変遅延回路20を構成する各インバータとして、図9に示すようなインバータを用いることも可能である。図9に示したインバータは、縦積み段数の大きい多段インバータである。トランジスタを縦積みすることにより基板効果が働き、トランジスタの閾値が上昇し、電源電圧の低下に対して、通常回路に比べて、著しく遅延が増加する。そのため、上述したような電源電圧に応じて遅延量が増加する可変遅延回路を実現することができる。
- [0052] このようにして構成された可変遅延回路20の電源電圧ー遅延量特性を図10に示す。この図10を参照すると、電源電圧が下がることにより可変遅延回路20の遅延量が

増加していることがわかる。例えば、可変電源101が電圧Aから電圧Bまで変化した場合、図10中の遅延量変化分だけ遅延量が増加する。そして、この遅延量変化分によりブロック32のクロック回路42から出力されるクロック信号CLK2が遅延するため、図2に示したクロック回路41とクロック回路42との遅延差が打ち消されることとなる。

[0053] 次に、可変電源101が電圧Aから電圧Bに変化した場合における、本実施形態の多電源半導体装置の動作を図11のタイミングチャートを参照して説明する。

[0054] この図11では、可変電源101、およびブロック31、32の各フリップフロップ回路51、52、61、62に入力されるクロック信号CLK1、2が示されている。可変電源101が電圧Aの場合には、クロック信号CLK1、CLK2間の位相は同期がとれている。ここで、可変電源101が電圧Aから電圧Bに切り換わる際、電源電圧が徐々に低下して電圧Aから電圧Bに変化する。すると、クロック信号CLK1、CLK2の振幅と位相も徐々に変化する。

[0055] 一方、可変遅延回路20の電圧特性は図11に示すような特性となっているため、可変電源101が電圧Aから電圧Bに変化すると、遅延量が増加する。

[0056] このように、可変遅延回路20は、クロック回路41、42間の遅延差を常に補償するように遅延量が増加するため、可変電源101の電圧値が変化してもブロック31、32間のクロックスキューの発生を抑制することが可能となる。従って、複数の電源電圧で動作する多電源半導体装置の動作を、ある電源電圧において過大なホールドマージンとすることなく、常に適当なホールドマージンで動作を保証できる。

[0057] 尚、本実施形態では、多電源半導体装置を構成する2つのブロック31、32のうちの、一方のブロック32のみに可変遅延回路20を設けたものであったが、クロック生成回路10から複数のブロックにそれぞれ供給されるクロック信号の一部または全てに、可変遅延回路を設けるようにしてもよい。

[0058] (第2の実施形態)

次に、本発明の第2の実施形態の多電源半導体装置について説明する。図12は本発明の第2の実施形態の多電源半導体装置の構成を示すブロック図である。図12において、図6中の構成要素と同一の構成要素には同一の符号を付し、説明を省略するものとする。

- [0059] 上記で説明した本発明の第1の実施形態の多電源半導体装置では可変遅延回路を1つのブロックに設けた場合を用いて説明したが、本発明の第2の実施形態では、図12に示すように可変遅延回路を複数または全てのブロックに設けるようにしている。
- [0060] ここで例えば、クロック回路41が高しきい値のトランジスタにより構成され、クロック回路42が低しきい値のトランジスタにより構成されている場合、可変遅延回路20は上述したように高しきい値のトランジスタにより構成し、可変遅延回路21は低しきい値のトランジスタにより構成する。
- [0061] 低しきい値のトランジスタによりクロック回路を構成した場合であっても、電源電圧の低下にともなって遅延量は多少増加する。そのため、上記のような構成とすることにより、高しきい値のトランジスタの電源電圧依存性と、低しきい値トランジスタの電源電圧依存性とが打ち消され、1つのブロックに対して可変遅延回路を設けた場合よりもより高い精度でクロックスキューの低減を図ることが可能となる。
- [0062] また、多電源半導体装置が3以上のブロックにより構成されている場合には、同様にして全てまたは一部のブロックに対して可変遅延回路も設けるようにすることができる。
- [0063] (第3の実施形態)
- 次に、本発明の第3の実施形態の多電源半導体装置について説明する。上記第1および第2の実施形態では、可変遅延回路20を設けることにより可変電源101の電圧変化時のクロックスキューを低減してブロック動作の安定化を図っていた。しかし、可変電源101の電圧変化中に、可変遅延回路20、クロック回路41、42の遅延量の変化がずれてしまうと誤動作が発生する可能性もある。本実施形態の多電源半導体装置は、電源電圧変化中にはクロック生成回路10から供給されるクロック信号を停止するようにして、ブロック動作の安定化を図るようにしたものである。
- [0064] 本実施形態の多電源半導体装置は、図13に示すように、図6に示した第1の実施形態の多電源半導体装置に対して、電圧変化検出回路90と、アンド回路91、92とが新たに設けられている。
- [0065] 電圧変化検出回路90は、可変電源101の電圧値の変化を検出するとロウレベル(

以下Lと表す。)の電圧変化検出信号を出力し、可変電源101の電圧値が変化していない一定の場合には電圧変化検出信号をハイレベル(以下Hと表す。)のままとする。

- [0066] アンド回路91は、電圧変化検出回路90からの電圧変化検出信号がHの場合には、クロック生成回路10からのクロック信号をブロック31のクロック回路41に供給し、電圧変化検出信号がLの場合には、クロック生成回路10からのクロック信号を遮断する。
- [0067] また、アンド回路92は、電圧変化検出回路90からの電圧変化検出信号がHの場合には、クロック生成回路10からのクロック信号をブロック32のクロック回路42に供給し、電圧変化検出信号がLの場合には、クロック生成回路10からのクロック信号を遮断する。
- [0068] つまり、アンド回路91、92は、電圧変化検出回路90が電圧変化中であると判定している期間は、クロック生成回路10により生成されたクロック信号がブロック回路31、32に供給されないように遮断する遮断手段として機能する。
- [0069] また、電圧変化検出回路90は、図14に示すように、A/D変換回路93、フリップフロップ回路94と、比較器95とから構成される。
- [0070] A/D変換回路93は、可変電源101の電圧値をデジタル情報に変化している。フリップフロップ回路94は、このデジタル情報をクロック信号の1周期分保持する。そのため、フリップフロップ回路94には、1クロック前のデジタル情報が保持されていることになる。
- [0071] 比較器95は、フリップフロップ回路94に保持されているデジタル情報と、A/D変換回路93から出力されたデジタル情報を比較して、A/D変換回路93から出力されたデジタル情報とフリップフロップ回路94に保持されているデジタル情報とが一致しない場合には、可変電源101が変化していると判定して、電圧変化検出信号をHとする。
- [0072] 本実施形態の多電源半導体装置による動作を図15に示す。図15を参照すると、可変電源101が電圧Aから降下し始めると、電圧変化検出回路90はこの電圧変化を検出して、電圧変化検出信号をLとする(時刻 $t_1$ )。

[0073] すると、アンド回路91、92では、クロック生成回路10からのクロック信号を遮断して、ブロック31、32に供給されないようにする。

[0074] そして、可変電源101が電圧Bとなり安定すると、電圧変化検出回路90は電圧変化検出信号をHとする(時刻 $t_2$ )。そのため、アンド回路91、92は、クロック生成回路10からのクロック信号をブロック31、32に供給するようになる。

[0075] 本実施形態の多電源半導体装置によれば、可変電源101が変化している最中には、クロック生成回路10からのクロック信号がブロック31、32に供給されないようにすることにより各ブロック31、32で誤動作が発生するのを防ぎ、ブロック動作の安定を図ることができる。

[0076] 尚、本実施形態では、電圧変化検出回路90が多電源半導体装置内に設けられている場合について説明したが、電圧変化検出回路90を多電源半導体装置の外部に設け、電圧変化検出信号のみを多電源半導体装置に入力するようにしてもよい。

[0077] (第4の実施形態)

次に、本発明の第4の実施形態の多電源半導体装置について説明する。上記第1の実施形態等では、可変電源101を可変遅延回路20に入力することにより、可変遅延回路20の遅延量をアナログ的に制御するものであったが、本発明の第4の実施形態の多電源半導体装置では、可変電源101の電圧レベルを検出する電圧レベル検出回路96を設けて、可変遅延回路をデジタル的に制御するようにしたものである。

[0078] 本発明の第4の実施形態の多電源半導体装置の構成を図16に示す。図16において、図6中の構成要素と同一の構成要素には同一の符号を付し、説明を省略するものとする。

[0079] 本実施形態の多電源半導体装置は、図6に示した第1の実施形態の多電源半導体装置に対して、電圧レベル検出回路96を新たに設け、可変遅延回路20を可変遅延回路22に置き換えた構成となっている。

[0080] 電圧レベル検出回路96は、可変電源101の電圧レベルを検出して、検出したその電圧レベルをデジタル情報である電圧レベル検出信号103として出力する。そして、本実施形態における可変遅延回路22は、電圧レベル検出信号103に基づいて遅延量を変化させる。



- [0081] 電圧レベル検出回路96の最も簡単な構成としては、図17に示すように、可変電源101と基準電圧Vrefを入力とする差動アンプにより実現することができる。この場合には、電圧レベル検出信号103は、HまたはLの1ビットのデジタル情報となる。
- [0082] そして、この1ビットの電圧レベル検出信号103を入力して遅延量を変化させる可変遅延回路22の具体例を図18および図19に示す。
- [0083] 図18には、遅延ゲート97とセレクト98とから構成される可変遅延回路22が示されている。
- [0084] 遅延ゲート97は、クロック生成回路10からのクロック信号を一定時間遅延させている。セレクト98は、遅延ゲート97を介したクロック信号またはクロック生成回路10から入力されたクロック信号を、電圧レベル検出信号103の論理に基づいて選択してブロック32に出力する。
- [0085] 図19には、2つの遅延ゲート97<sub>1</sub>、97<sub>2</sub>と、2つのセレクト98<sub>1</sub>、98<sub>2</sub>とから構成された可変遅延回路22が示されている。
- [0086] また、図19に示した構成は、図18に示した遅延ゲート97とセレクト98を2組み接続したものであり、1つの遅延ゲートでは遅延量が不足する場合に用いることができる。
- [0087] また、電圧レベル検出信号103を複数ビットとする場合の電圧レベル検出回路96の構成を図20に示す。この図20では、可変電源101を入力してA/D変換するA/D変換回路により電圧レベル検出回路96が実現される。ここでは、説明を簡単にするために、電圧レベル検出信号103が2ビットの場合を用いて説明するが、電圧レベル検出信号103のビット数は3ビット以上の場合も同様に実現可能である。
- [0088] 2ビットの電圧レベル検出信号103を入力して遅延量を変化させる可変遅延回路22の具体例を図21に示す。
- [0089] 図21には、遅延ゲート99と、セレクト100とから構成される可変遅延回路22が示されている。
- [0090] 遅延ゲート99は、D1、D2、D3という遅延量が異なる3つの遅延回路が並列に接続されている。そして、セレクト100は、電圧レベル検出信号103の値に基づいて、クロック生成回路10からのクロック信号、遅延回路D1、遅延回路D2、遅延回路D3を通過後のクロック信号のうちの1つを選択して、ブロック32に出力する。

[0091] 上記で説明した遅延ゲート97、 $97_1$ 、 $97_2$ 、99は、多段インバータにより実現することができる。

[0092] 尚、本実施形態では、電圧レベル検出回路96が多電源半導体装置内に設けられている場合について説明したが、電圧レベル検出回路96を多電源半導体装置の外部に設け、電圧レベル検出信号のみを多電源半導体装置に入力するようにしてもよい。

[0093] (第5の実施形態)

次に、本発明の第5の実施形態の多電源半導体装置について説明する。

[0094] 本実施形態の多電源半導体装置の構成を図22に示す。図22において、図6、図13、図16中の構成要素と同一の構成要素には同一の符号を付し、説明を省略するものとする。

[0095] 本実施形態の多電源半導体装置は、第3の実施形態と第4の実施形態を組み合わせたものであり、電圧レベル検出回路96を設けて可変遅延回路22のデジタル制御を行うとともに、電圧変化検出回路90を設けて、電源電圧変化時のクロック供給を停止させ、ブロックの安定動作を図るようにしたものである。

[0096] 次に、本実施形態の多電源半導体装置の動作を図23のタイミングチャートを参照して説明する。

[0097] 図23を参照すると、可変電源101が電圧Aから降下し始めると、電圧変化検出回路90はこの電圧変化を検出して、電圧変化検出信号をLとする(時刻 $t_1$ )。

[0098] すると、アンド回路91、92では、クロック生成回路10からのクロック信号を遮断して、ブロック31、32に供給されないようにする。この間電圧レベル検出回路96から出力される電圧レベル検出信号103により示される電圧値も電圧Aから電圧Bに変更される。そのため、可変遅延回路22は遅延量を電圧レベル検出信号103に基づいて変更する。

[0099] そして、可変電源101が電圧Bとなり安定すると、電圧変化検出回路90は電圧変化検出信号をHとする(時刻 $t_2$ )。そのため、アンド回路91、92は、クロック生成回路10からのクロック信号をブロック31、32に供給するようになる。この時にはすでに可変遅延回路22の遅延量は電圧Bに対応した遅延量に変更されているため、クロック回

路41、42から出力されるクロック信号CLK1、CLK2の位相は同期がとれたものとなっている。

[0100] 尚、本実施形態では、電圧変化検出回路90と電圧レベル検出回路96とが多電源半導体装置内に設けられている場合について説明したが、電圧変化検出回路90および電圧レベル検出回路96の両方または一方を多電源半導体装置の外部に設け、電圧変化信号および電圧レベル検出信号103の両方または一方のみを多電源半導体装置に入力するようにしてもよい。

[0101] (第6の実施形態)

次に、本発明の第6の実施形態の多電源半導体装置について説明する。

[0102] 本発明の第6の実施形態の多電源半導体装置を図24に示す。図24において、図6中の構成要素と同一の構成要素には同一の符号を付し、説明を省略するものとする。本実施形態の多電源半導体装置は、図6に示した第1の実施形態の多電源半導体装置に対して、電圧下限検出回路110を新たに設けたものである。また、図24では、図6では示されていない電源制御回路111が示されている。

[0103] 本実施形態の多電源半導体装置では、可変電源101とクロック生成回路10の基準クロック(CLK)を入力した電圧下限検出回路110を設けて、外部の電源制御回路111に電源制御信号104を供給して、可変電源101の電圧値を所定の基準CLKでの動作を保証する下限電圧とすることにより、消費電力を低く抑えて高い電力効率を実現することが可能となる。

[0104] F/F間の遅延が最大のパスをクリティカルパスといい、その遅延をクリティカルパスの遅延という。正常動作が行われるためには、クロック信号の周期をTとすると、クリティカルパスの遅延<周期Tであることが必要となる。逆に、上記の要件が満たされる範囲であれば、可変電源101の電圧を低下させても誤動作は発生しない。そのため、本実施形態の多電源半導体装置では、クリティカルパスの遅延<周期Tの関係が満たされる下限まで可変電源101の電圧値を低下させることにより、消費電力の削減を行うようにする。

[0105] 電圧下限検出回路110は、所定のクロック周波数において正常に動作可能な範囲において、可変電源101の電圧値を最も低くするような制御を行うための電源制御信

号140を生成して電源制御回路111に出力している。具体的には、電圧下限検出回路110は、クロック生成回路10により生成されたクロック信号の周期が、クリティカルパスの遅延時間よりも長いことが保証される範囲で、可変電源101の電圧値が低くなるような電源制御信号140を生成して、電源制御回路111に出力している。

[0106] 電源制御回路111は、電圧下限検出回路110からの電源制御信号140に基づいて可変電源101の制御を行っている。

[0107] 図24中の電圧下限検出回路110の構成を図25に示す。

[0108] この電圧下限検出回路110は、遅延回路112〜114と、インバータ115と、フリップフロップ回路116、117とから構成されている。また、電源制御信号140は、可変電源101の電圧値を減少する指示を行うdown信号と、可変電源101の電圧値を増加させる指示を行うup信号とから構成されている。

[0109] 遅延回路112は、クロック生成回路10からのクロック信号CLKをクリティカルパスの遅延分だけ遅延させて出力する。遅延回路113、114は、それぞれ遅延時間 $\alpha 1$ 、 $\alpha 2$ だけクロック信号を遅延させて出力する。

[0110] 電圧下限検出回路110を上記のような構成とすることにより、down信号とup信号は下記のように制御される。

(1) down信号

a) クリティカルパスの遅延 +  $\alpha 1 + \alpha 2 < \text{周期} T$

電圧値を減少する旨の指示を行う“1”

b) クリティカルパスの遅延 +  $\alpha 1 + \alpha 2 \geq \text{周期} T$

電圧値の変更を行わない旨の指示を行う“0”

(2) up信号

a) クリティカルパスの遅延 +  $\alpha 1 > \text{周期} T$

電圧値を増加させる旨の指示を行う“1”

b) クリティカルパスの遅延 +  $\alpha 1 \leq \text{周期} T$

電圧値の変更を行わない旨の指示を行う“0”

ここで、 $\alpha 1$ は遅延マージンであり、 $\alpha 2$ はあそびである。よって、電圧下限検出回路110は、クリティカルパスの遅延 +  $\alpha 1 < \text{周期} T < \text{クリティカルパスの遅延} + \alpha 1 +$

$\alpha$  2となるように、up信号とdown信号とからなる電源制御信号140を電源制御回路111に出力する。

[0111] 本実施形態における電圧下限検出回路11の動作を図26のタイミングチャートに示す。

[0112] (第7の実施形態)

次に、本発明の第7の実施形態の多電源半導体装置について説明する。上記第1から第6の実施形態では、可変遅延回路を用いてクロックスキューの抑制を図るようにはしていたが、本発明の第7の実施形態の多電源半導体装置では、可変遅延回路の代わりに、ブロック31、32内のクロック信号の位相の同期をとるための位相同期回路を設けてブロック間のクロックスキューを抑制するようにしている。

[0113] 本実施形態の多電源半導体装置は、図27に示されるように、図6に示した第1の実施形態等の多電源半導体装置に対して、可変遅延回路20の代わりに位相同期回路131、132が設けられたものである。

[0114] 位相同期回路131は、クロック生成回路10からのクロック信号をCLK入力とし、クロック回路41により生成されたクロック信号CLK1を参照CLKとし、生成したクロック信号をCLK出力としてクロック回路41に供給している。そして、位相同期回路131は、CLK入力と参照CLKの位相が同期するように、CLK出力の位相を調整している。

[0115] 位相同期回路132も同様にして、クロック生成回路10からのクロック信号と、クロック回路41により生成されたクロック信号CLK2の位相が同期するように、クロック回路42に出力するクロック信号の位相の調整を行っている。

[0116] 位相同期回路131、132は、図28に示すようにPLL (Phase Locked Loop: 位相同期ループ) 回路により実現することもできるし、図29に示すようにDLL (Delay Locked Loop: 遅延同期ループ) 回路により実現することも可能である。

[0117] 本実施形態のように位相同期回路131、132を設けて、ブロック31、32内で用いられるクロック信号CLK1、CLK2の位相をクロック信号生成回路10により生成されたクロック信号の位相と同期をとるようにすれば、可変電源101の電圧値が電圧Aから電圧Bに変化した場合でも、図30に示すように、クロック信号CLK1、CLK2間の位相は同期がとられることとなる。そのため、本実施形態の多電源半導体装置によれば

、可変遅延回路を設けた場合と同様に、ブロック31、32間のクロックスキューを低減することが可能となる。

[0118] (第8の実施形態)

次に、本発明の第8の実施形態の多電源半導体装置について説明する。本実施形態の多電源半導体装置は、図27に示した第7の実施形態の多電源半導体装置に対して、電圧変化検出回路90を設けて電源電圧の変化期間中のクロック出力を停止するようにしたものである。

[0119] ただし、本実施形態の多電源半導体装置では、図31に示すように、クロック回路41、42の代わりにアンド回路11、12およびバッファ回路13、14がブロック31、32にそれぞれ設けられている構成となっている。

[0120] アンド回路11は、電圧変化検出回路90からの電圧変化検出信号がHの場合には、位相同期回路131からのクロック信号をブロック31のためのクロック信号CLK1として供給し、電圧変化検出信号がLの場合には、位相同期回路131からのクロック信号を遮断してブロック31内の各回路にクロック信号が供給されないようにしている。

[0121] バッファ回路13は、位相同期回路131からのクロック信号を受けてクロック信号CLK1'とし、位相同期回路131の参照CLKとして出力している。

[0122] ここで、アンド回路11とバッファ回路13とは、同じ種類のトランジスタにより構成されていて電源電圧の変動による遅延量の差がほぼ無いように設定されている。そのため、電圧変化検出信号がHの場合には、可変電源101の電圧値に関わらずクロック信号CLK1、CLK1'の位相はほぼ同期がとられている。

[0123] なお、アンド回路12、バッファ回路14の動作については、アンド回路11、バッファ回路13と同様であるためその説明は省略する。

[0124] 本実施形態の多電源半導体装置によれば、図32に示されるように、上記で説明した第3の実施形態と同様に、可変電源101が変化している最中には、クロック生成回路10からのクロック信号がブロック31、32に供給されないようにすることにより各ブロック31、32で誤動作が発生するのを防ぎ、ブロック動作の安定を図ることができる。

[0125] 尚、本実施形態では、電圧変化検出回路90が多電源半導体装置内に設けられている場合について説明したが、電圧変化検出回路90を多電源半導体装置の外部に

設け、電圧変化信号のみを多電源半導体装置に入力するようにしてもよい。

[0126] (第9の実施形態)

次に、本発明の第9の実施形態の多電源半導体装置について説明する。上記第1から第8の実施形態の多電源半導体装置では、クロック生成回路は一定の周波数のクロック信号を生成するものであった。本発明の第9の実施形態の多電源半導体装置では、現在の動作モードを示す動作モード信号が入力されていて、クロック生成回路はこの動作モード信号に基づいてクロック信号の周波数を変化させ、また可変電源の電圧値も動作モードに応じて変化する。

[0127] 本実施形態の多電源半導体装置の構成を図33に示す。本実施形態の多電源半導体装置は、図33に示されるように、図6に示した第1の実施形態の多電源半導体装置に対して、クロック生成回路10がクロック生成回路15に置き換えられ、また可変電源101の制御を行う電源制御回路141が図示されている。また、クロック生成回路15、電源制御回路141には、多電源半導体装置の現在の動作モードを示す動作モード信号105が入力されている。

[0128] クロック生成回路15は、入力された動作モード信号105に応じて出力するクロック信号の周波数を制御する。電源制御回路141は、入力された動作モード信号105に応じて出力する可変電源101の電圧値を制御する。

[0129] 本実施形態の多電源半導体装置の動作を図34、図35のタイミングチャートを参照して説明する。

[0130] 図34は、動作モードがモードAからモードBに変化した場合の動作を示したものである。動作モード信号105がモードAからモードBに変化した場合、クロック生成回路15は出力するクロック信号の周波数を低下させ、電源制御回路141は、可変電源101の電圧を低下させる。この際に、クロック生成回路15は、可変電源101が電圧Aから電圧Bに低下する前にクロック周波数を低下させる。

[0131] 図35は、動作モードがモードBからモードAに変化した場合の動作を示したものである。動作モード信号105がモードBからモードAに変化した場合、クロック生成回路15は出力するクロック信号の周波数を増加させ、電源制御回路141は、可変電源101の電圧を増加させる。この際に、クロック生成回路15は、可変電源101が電圧Bか

ら電圧Aに上昇した後にクロック周波数を増加させる。

- [0132] 本実施形態の多電源半導体装置のように、動作モードに応じてクロック信号の周波数、可変電源101の電圧値を切り替えるような場合においても、可変遅延回路20が設けられていることにより、図34、図35に示すように電圧変動、周波数変動によるクロック信号の位相ずれを抑制してブロック31、32間のクロックスキューを抑制することが可能となる。
- [0133] なお、本実施形態において、図13に示した第3の実施形態のように、電圧変化検出回路90を設けるか、電圧変化検出信号を外部から入力することにより、周波数切り換えタイミングを制御するようにしてもよい。この場合には、電源電圧遷移後に周波数切り換えが行われるようにすることにより、安定した動作を行うようにすることが可能となる。
- [0134] また、図36に示すように、可変電源101の電圧に応じて遅延量に変化する可変遅延回路20の代わりに動作モード信号105に応じて遅延量に変化する可変遅延回路23を用いて、動作モード信号105により遅延量を直接制御するようにすることも可能である。動作モードが決まれば、その動作モードにおける可変電源101の電圧値も一意に決まる。そのため、動作モード信号105を可変遅延回路23に直接入力することにより、遅延量の制御を行うことが可能となる。
- [0135] さらに、図37に示すように、動作モード信号105を入力とするモード変化検出回路151およびアンド回路91、92を設けて、電源電圧変化期間にクロック供給を停止するようにしてもよい。
- [0136] モード変化検出回路151は、内部にタイマを有していて、動作モード信号105により示される動作モードが変化したことを検出すると、タイマにより設定される一定期間だけクロック(CLK)制御信号106をLとする。アンド回路91、92は、モード変化検出回路151からのクロック制御信号106がHの場合には、クロック生成回路10からのクロック信号をブロック31、32のクロック回路41、42に供給し、クロック制御信号106Lになるとクロック生成回路10からのクロック信号がブロック回路31、32に供給されないように遮断する遮断手段として機能する。尚、遮断手段であるアンド回路91、92は、クロック制御信号106がLの間、クロック生成回路10からのクロック信号を遮断する



ものとして説明したが、モード変化検出回路151は、動作モードが変化したことを検出すると、クロック制御信号を所定の値とし、遮断手段は、クロック制御信号106が所定の値である間はクロック生成回路10からのクロック信号を遮断するようにすれば、遮断手段はアンド回路91、92に限られるものではない。

[0137] このモード変化検出回路152が設けられた多電源半導体装置の動作を図38のタイミングチャートを参照して説明する。

[0138] 動作モード信号105がモードAからモードBに切り替わると、モード変化検出回路151は、クロック制御信号106をLとする(時刻 $t_3$ )。そのため、アンド回路91、92は、クロック生成回路10からのクロック信号を遮断する。そして、電源制御回路141は、可変電源101を電圧Aから電圧Bに変化させ、クロック生成回路10は出力するクロック信号の周波数を変化させる。

[0139] そして、一定時間の経過後、モード変化検出回路151は、クロック制御信号106をHとする(時刻 $t_4$ )。その際には、既に可変電源101の電圧値は電圧Bとなり、クロック信号の周波数の切り替わり、可変遅延回路23の遅延量の変化も終了している。そのため、アンド回路91、92がブロック31、32へのクロック信号の供給を開始した際には、ブロック31、32には、周波数、電圧、位相の安定したクロック信号が供給されることとなる。

[0140] このように、本実施形態では、動作モードに応じて可変遅延回路を制御しているので、いずれの動作モードにおいても容易に低スキューを実現可能となる。尚、動作モードに、チップ毎のばらつき情報、動作条件(温度、電源変動等)、等を加味することも可能である。

[0141] (第10の実施形態)

次に、本発明の第10の実施形態の多電源半導体装置について説明する。上記で説明した第1から第9の実施形態の多電源半導体装置では、ブロック31、32とも可変電源101が供給されている場合であったが、本発明の第10の実施形態では、図39に示すように、ブロック31には電圧値の変化しない電源102が入力され、ブロック32には可変電源101が入力されている場合を用いて説明する。

[0142] 本実施形態の多電源半導体装置は、図39に示されるように、ブロック32には可変

電源101が接続され、クロック生成回路10とブロック31との間に可変遅延回路24が設けられている。また、ブロック32の境界には、電源電圧が異なるブロック間で信号レベルの調整を行うレベルシフタ71ー73が設けられている。可変遅延回路24は、電源電圧が低くなると遅延量が増加する遅延回路である。

- [0143] 電源電圧が変化するとクロック回路41、42の遅延量は変化する。しかし、クロック回路41に入力されている電源1の電圧は変化しないため、クロック回路41の遅延量は一定である。ただし、クロック回路42には、可変電源101が入力されているため、可変電源101の電圧値の変化に伴い遅延量が増加する。例えば、図40に示すように、可変電源101が電圧Aから電圧Bに変化すると、遅延差ABだけクロック回路42の遅延量が大きくなる。
- [0144] そのため、電圧が下がると遅延量が増加する可変遅延回路24をクロック生成回路10とクロック回路41との間に設けることにより、クロック回路42の遅延量増加分を補償して、ブロック31、32間のクロックスキューが低減される。また、本実施形態のように、可変電源101の電源電圧に従い遅延回路24の遅延量を制御することで、レベルシフタ71ー73を設けたことによるレベルシフト遅延変動を含む位相調整が実現される。
- [0145] 図41に可変遅延回路24の具体例を示す。この図41に示された可変遅延回路24は、インバータのGND端子にnチャネルMOSトランジスタを追加し、nチャネルMOSトランジスタのゲート端子に可変電源101を接続した多段インバータにより構成される。この可変遅延回路24では、可変電源101が低下するとインバータ制御電流が制限され、遅延量が大きくなる。
- [0146] また、図42に可変遅延回路24の他の具体例を示す。この図42に示された可変遅延回路24は、pチャネルMOSトランジスタを介して容量を各段に接続した多段インバータにより構成される。この可変遅延回路24では、可変電源101が低下すると各インバータにとっては出力端子に接続された容量が大きく見えるようになり、遅延量が大きくなる。
- [0147] 以下、本実施形態の多電源半導体装置の動作について図43のタイミングチャートを参照して説明する。
- [0148] 最初の状態では、電源102は電圧A、可変電源101は電圧Aとなっているが、その

後可変電源101が電圧Aから電圧Bに変化し始めたものとする。可変電源101の電圧値が低下するとブロック32内のクロック信号CLK2の振幅が小さくなり、位相が遅れる。しかし、クロック生成回路10とブロック31との間には、可変遅延回路24が設けられていることにより、クロック信号CLK1の位相調整が図られる。

- [0149] 本実施形態においても、図33等にした第9の実施形態と同様に、動作モード信号105をクロック生成回路10に入力して、ブロック32のクロック周波数を変えるようにしてもよい。例えば、クロック周波数を半分にして、立上りエッジを合わせるようにしてもよい。
- [0150] また、図44に示すように、可変遅延回路24、25をクロック生成回路10とブロック31、32の間にそれぞれ設けるようにしてもよい。ここで、可変遅延回路25は、電源電圧が下がると遅延量が減少するような遅延回路とする。
- [0151] 図45に可変遅延回路25の具体例を示す。この図45に示された可変遅延回路25は、インバータの電源端子にpチャネルMOSトランジスタを2ヶ追加し、一方のpチャネルMOSトランジスタのゲート端子をGNDに接続し、もう一方のゲート端子を可変電源入力101に接続した多段インバータにより構成される。このような構成の可変遅延回路25では、可変電源101の電圧が低下するとインバータ制御電流が増加して、遅延量が小さくなる。
- [0152] また、図46に可変遅延回路25の他の具体例を示す。この図46に示された可変遅延回路25は、pチャネルMOSトランジスタを介して容量を各段に接続した多段インバータにより構成される。このような構成の可変遅延回路25では、可変電源101の電圧が低下すると各インバータに対して容量が小さく見え、遅延量が小さくなる。図41、37に示した可変遅延回路24と反対の電圧依存特性を持たせることにより可変遅延回路の効率的な適用が図れる。
- [0153] (第11の実施形態)
- 次に、本発明の第11の実施形態の多電源半導体装置について説明する。上記第10の実施形態では、ブロック31に変化しない電源102が入力され、ブロック32に可変電源101が入力されていない場合に、可変遅延回路を用いてクロックスキューの抑制を行うようにしたものであった。本実施形態では、このような構成の場合に、図27

に示した位相同期回路131、132を用いて位相の調整を行いブロック31、32間のクロックスキューの低減を図るようにしたものである。

[0154] 本実施形態の多電源半導体装置の構成を図47に示す。本実施形態の多電源半導体装置は、図39に示した第10の実施形態の多電源半導体装置に対して、可変遅延回路24の代わりに、位相同期回路131、132および可変遅延回路26を設けたものである。また、ブロック32と他の回路との入出力には、電源電圧が異なるブロック間で信号レベルの調整を行うレベルシフタ71ー74が設けられている。

[0155] 可変遅延回路26は、レベルシフタ71ー74の遅延変動が問題となる場合に、この遅延変動の補償用に設けたものである。このように、本実施形態形態では、位相同期回路131、132により電源変動による遅延量の変動を補償することにより、1つ以上のブロックの電源系が異なる動作モードにおいても低スキューを実現することができる

(第12の実施形態)

次に、本発明の第12の実施形態の多電源半導体装置について説明する。本実施形態の多電源半導体装置は、可変電源101が供給されるブロックが2つ以上の場合である。本実施形態の多電源半導体装置は、図48に示すように、ブロック31、32に可変電源入力101が接続され、クロック生成回路10とブロック31との間に可変遅延回路27が設けられ、クロック生成回路10とブロック32との間に可変遅延回路28が設けられている。また、可変電源入力101が供給されるブロック31、32とそれ以外の回路との境界にレベルシフタ71、75が設けられている。

[0156] (第13の実施形態)

次に、本発明の第13の実施形態の多電源半導体装置について説明する。本実施形態の多電源半導体装置は、可変電源101が供給されるブロックが2つ以上で、これらのブロックと、変化しない電源102が供給されるブロックとが信号接続されている場合である。本実施形態の多電源半導体装置は、図49に示すように、ブロック31、32に可変電源101が接続され、ブロック33に電源102が接続されている。そして、クロック生成回路10とブロック31、32、33との間に、それぞれ可変遅延回路27、28、29が設けられている。また、可変電源101が供給されているブロック31、32とブロック3

3等のそれ以外の回路との境界にレベルシフタ71、75、76が設けられている。

[0157] (第14の実施形態)

次に、本発明の第14の実施形態の多電源半導体装置について説明する。上記第1から第13の実施形態では、多電源半導体装置が複数のブロックにより構成されている場合に、ブロック間のクロックスキューを低減するものであったが、本実施形態の多電源半導体装置は、他の半導体装置との間におけるクロックスキューを低減するものである。

[0158] 本実施形態の多電源半導体装置は、図50に示されるように、クロック生成回路10と、可変遅延回路20と、クロック回路41と、フリップフロップ回路51、52とを備えている。そして、他の半導体装置との間で、レベルシフタ72、73を介して信号の入出力を行っている。また、この多電源半導体装置には、可変電源101が供給されている。

[0159] このような構成の多電源半導体装置の場合でも、可変遅延回路20が可変電源101の電圧値の応じて遅延量を変化させることにより、他の半導体装置との間でクロックスキューの低減を図ることが可能となる。

[0160] なお、本発明が上記各実施形態に限定されず、本発明の技術思想の範囲内において、各実施形態は適宜変更され得ることは明らかである。例えば、上記第1から第14の実施形態では、説明を簡単にするために多電源半導体装置を構成するブロック数を2とし、可変電源、変化しない電源が1系統の場合について説明したが、本発明はこのような場合に限定されるものではなく、ブロック数が3以上の場合、および可変電源、変化しない電源が2系統以上存在するような構成の場合についても同様に適用することができるものである。

[0161] さらに、上記各実施形態では、ブロック31、32等以外の回路については特に供給される電源について示されていない場合があるが、多電源半導体装置に供給される電源が1系統の可変電源101のみである場合には、クロック生成回路10等には可変電源101が供給されることとなる。

## 請求の範囲

- [1] 複数のブロックにより構成され、一部または全てのブロックが独立したクロック回路を有し、複数の電源電圧で動作する多電源半導体装置において、  
クロック生成回路から前記複数のブロックにそれぞれ供給されるクロック信号の一部または全てに、電源電圧に基づいて遅延量が増加する可変遅延回路が設けられていることを特徴とする多電源半導体装置。
- [2] 前記可変遅延回路は、電源電圧の低下に伴い遅延量が増加する請求項1記載の多電源半導体装置。
- [3] 複数のブロックにより構成され、一部または全てのブロックが独立したクロック回路を有し、複数の電源電圧で動作する多電源半導体装置において、  
前記電源電圧の電圧レベルを検出し、検出した該電圧レベルを電圧レベル検出信号として出力する電圧レベル検出回路と、  
クロック生成回路から前記複数のブロックにそれぞれ供給されるクロック信号の一部または全てに、前記電圧レベル検出信号に基づいて遅延量を増加させる可変遅延回路とが設けられていることを特徴とする多電源半導体装置。
- [4] 複数のブロックにより構成され、一部または全てのブロックが独立したクロック回路を有し、複数の電源電圧で動作する多電源半導体装置において、  
クロック生成回路から前記複数のブロックにそれぞれ供給されるクロック信号の一部または全てに、前記各ブロック内のクロック信号の位相の同期をとるための位相同期回路が設けられていることを特徴とする多電源半導体装置。
- [5] 前記位相同期回路の一部または全てに、電源電圧が異なるブロック間で信号レベルの調整を行うレベルシフタの遅延変動を補償するため前記電源電圧に基づいて遅延量が増加する可変遅延回路が設けられている請求項4記載の多電源半導体装置。
- [6] 前記電源電圧の変化を検出する電圧変化検出回路と、  
前記電圧変化検出回路が電圧変化中であると判定している期間は、前記クロック生成回路により生成されたクロック信号が前記各ブロック回路に供給されないように遮断する遮断手段とをさらに有する請求項1から5のいずれか1項記載の多電源半

導体装置。

- [7] 所定のクロック周波数において正常に動作可能な範囲において、前記電源電圧を最も低くするような制御を行う電源制御信号を生成して出力する電圧下限検出回路と、

前記電源制御信号に基づいて前記電源電圧の制御を行う電源制御回路とをさらに有する請求項1から5のいずれか1項記載の多電源半導体装置。

- [8] 複数のブロックにより構成され、一部または全てのブロックが独立したクロック回路を有し、複数の電源電圧で動作する多電源半導体装置において、

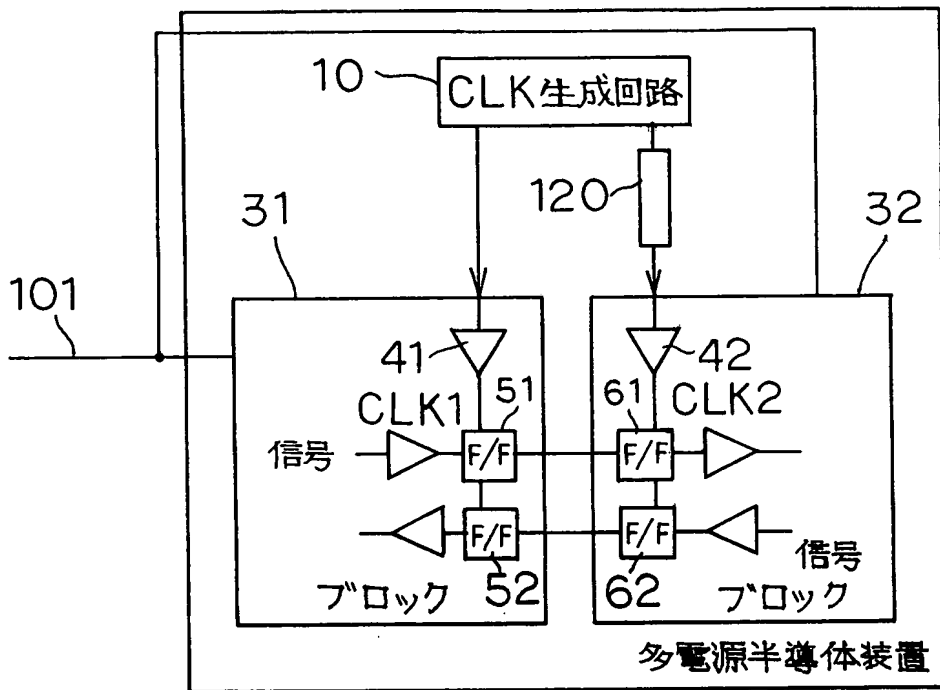
現在の動作モードを示す動作モード信号に基づいて前記電源電圧の制御を行う電源制御回路と、

クロック生成回路から前記複数のブロックにそれぞれ供給されるクロック信号の一部または全てに、前記動作モード信号に基づいて遅延量を変化させる可変遅延回路が設けられていることを特徴とする多電源半導体装置。

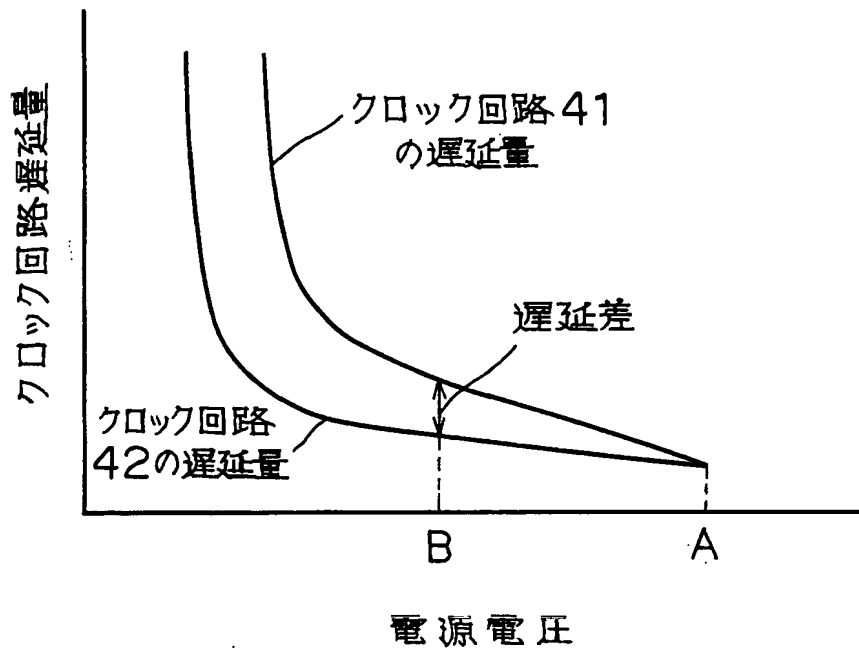
- [9] 前記動作モード信号により示される動作モードが変化したことを検出すると、内部に有するタイマにより設定される一定期間だけクロック制御信号を所定の値とするモード変化検出回路と、

前記クロック制御信号が前記所定の値である間、前記クロック生成回路により生成されたクロック信号が前記各ブロック回路に供給されないように遮断する遮断手段とをさらに有する請求項8記載の多電源半導体装置。

[図1]

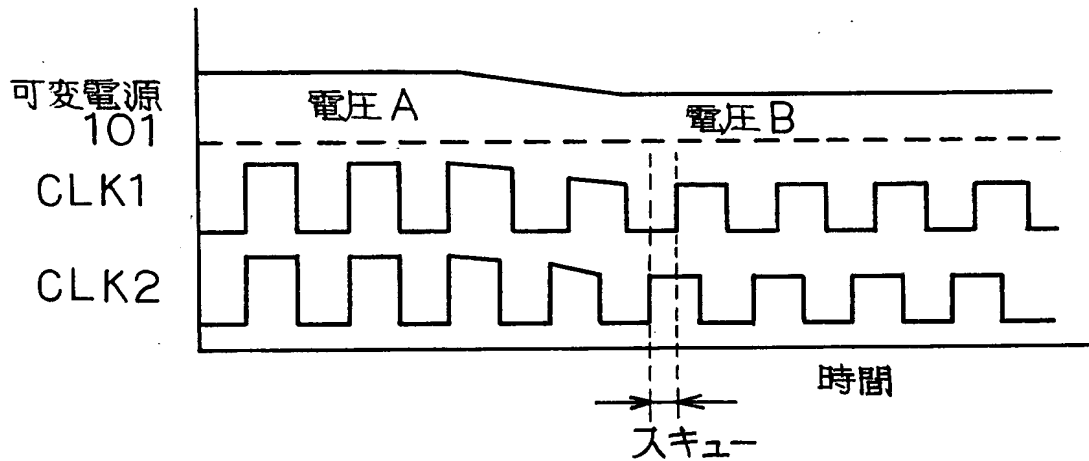


[図2]

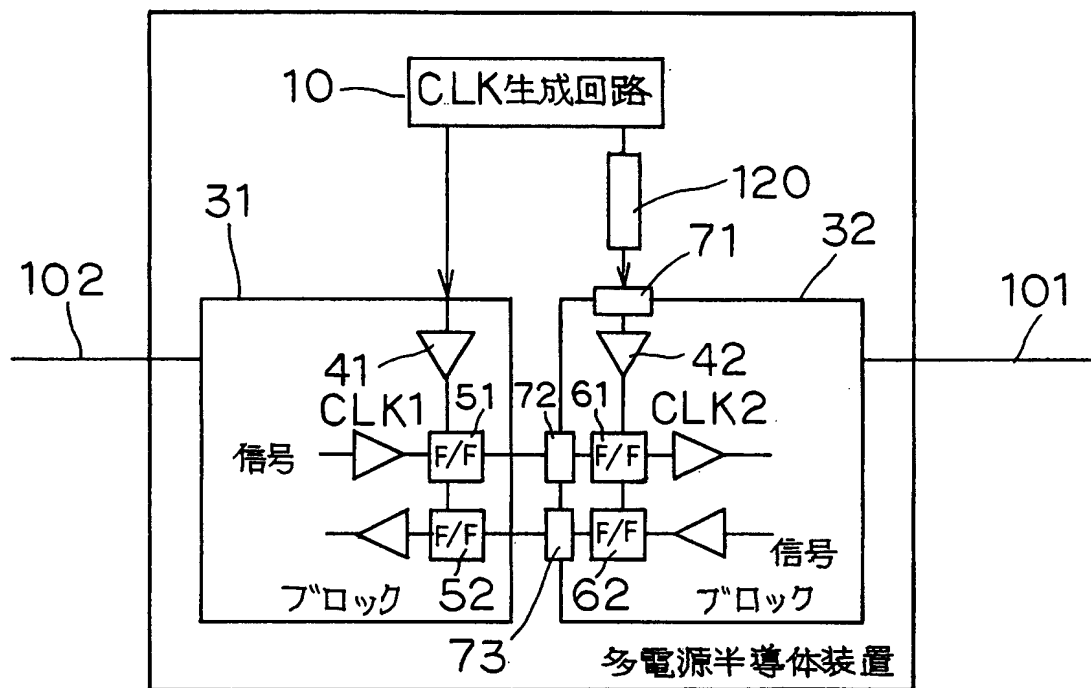




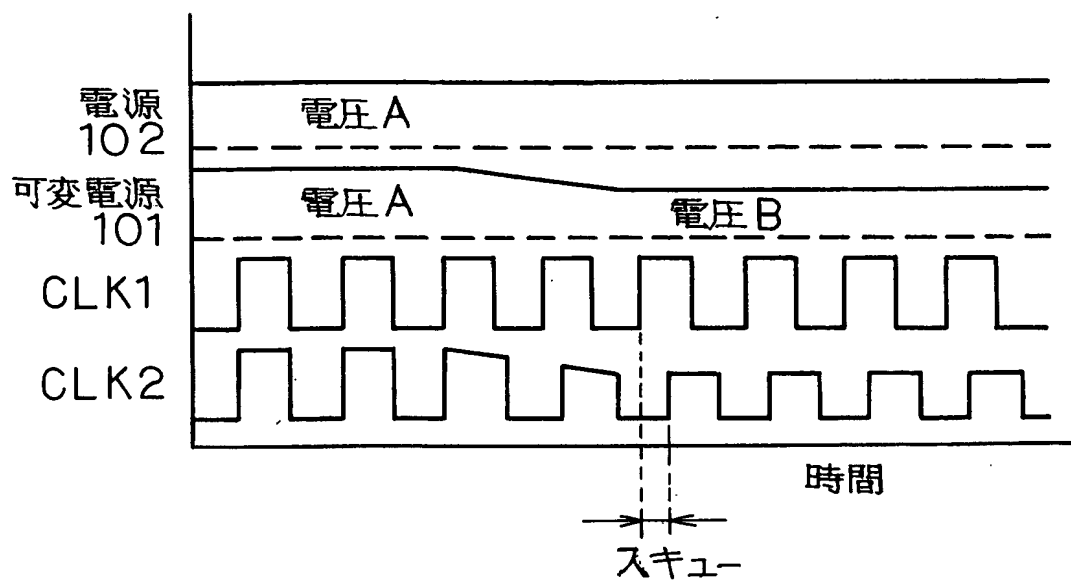
[図3]



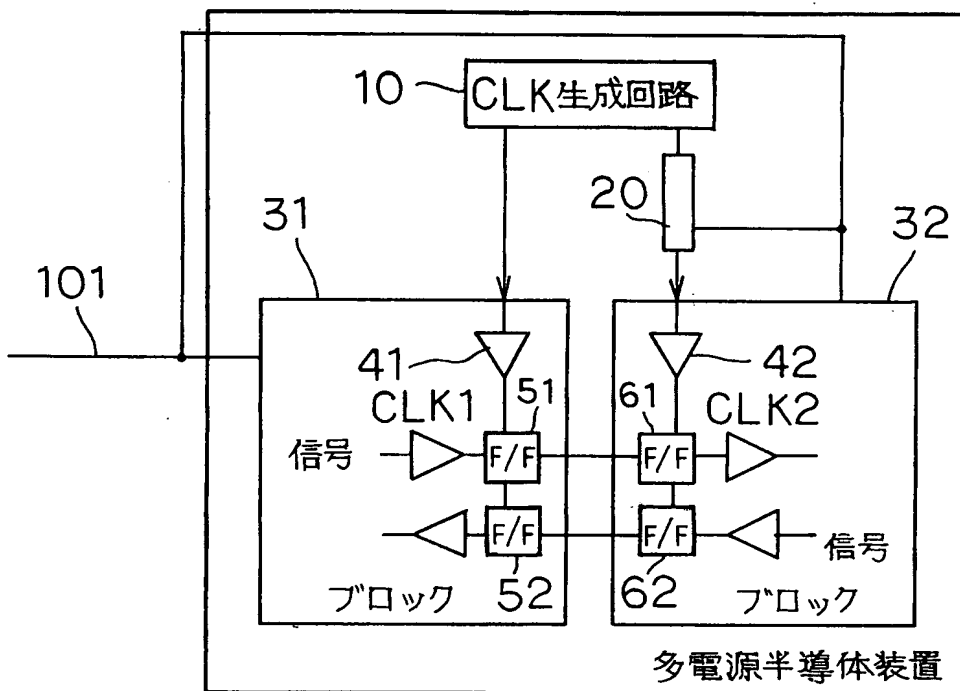
[図4]



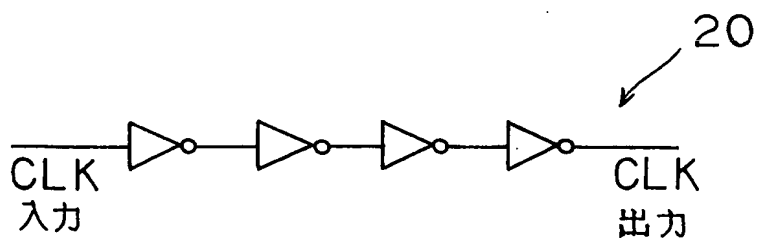
[図5]



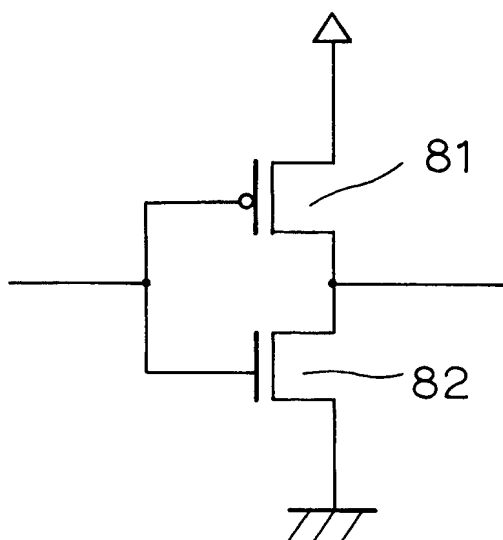
[図6]



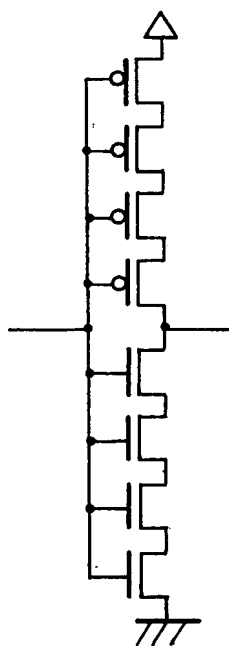
[図7]



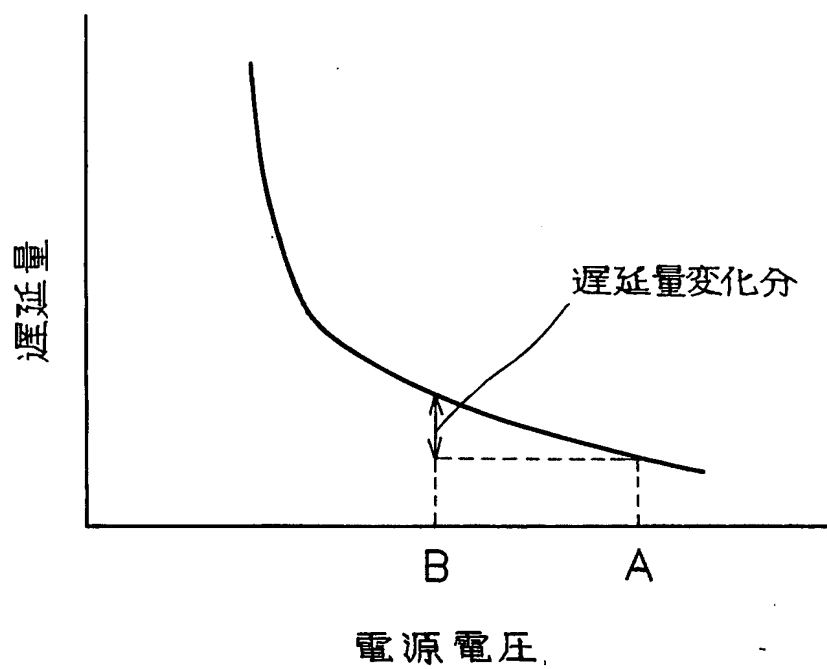
[図8]



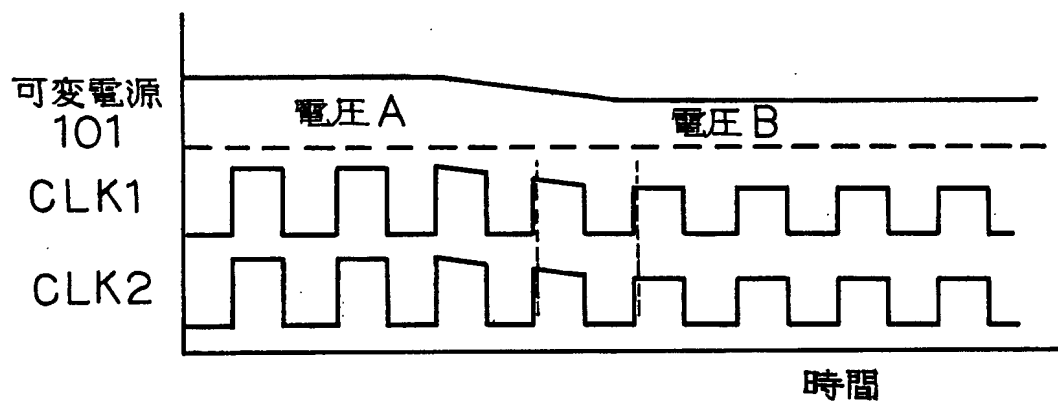
[図9]



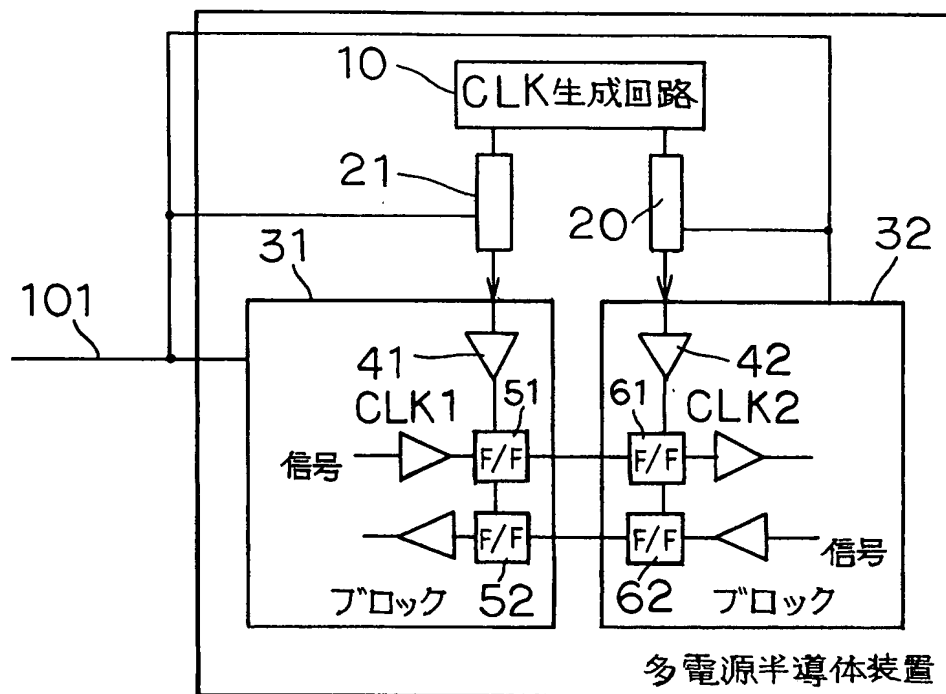
[図10]



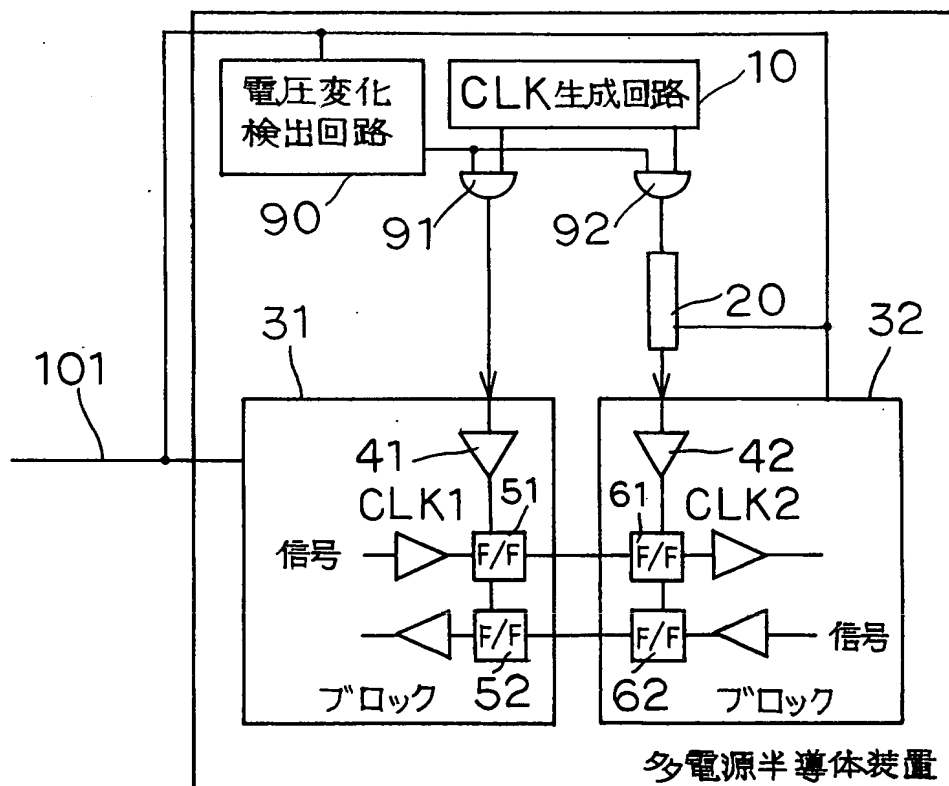
[図11]



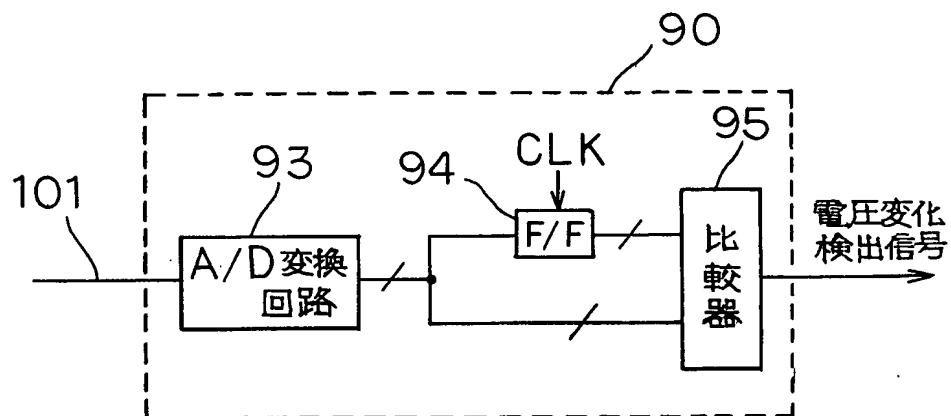
[図12]



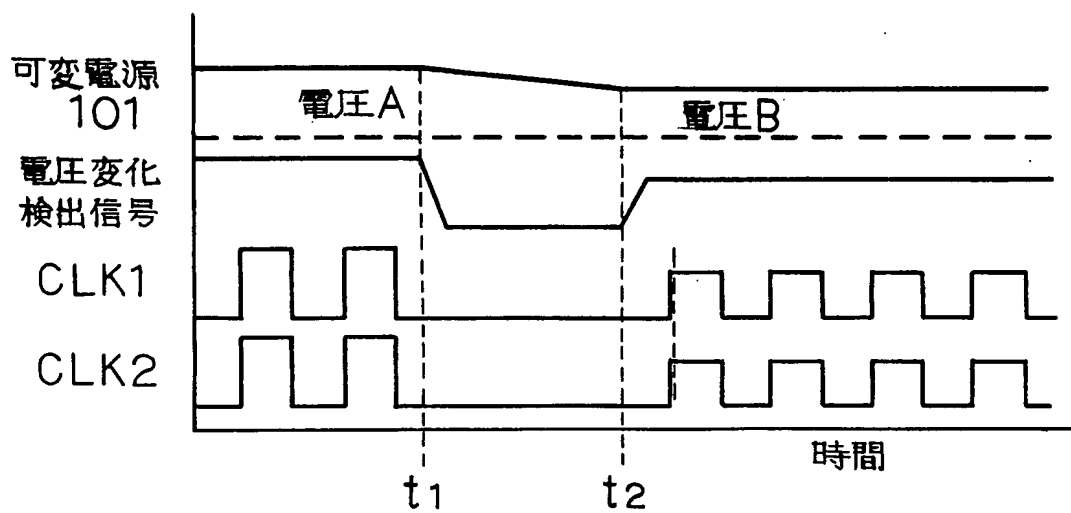
[図13]



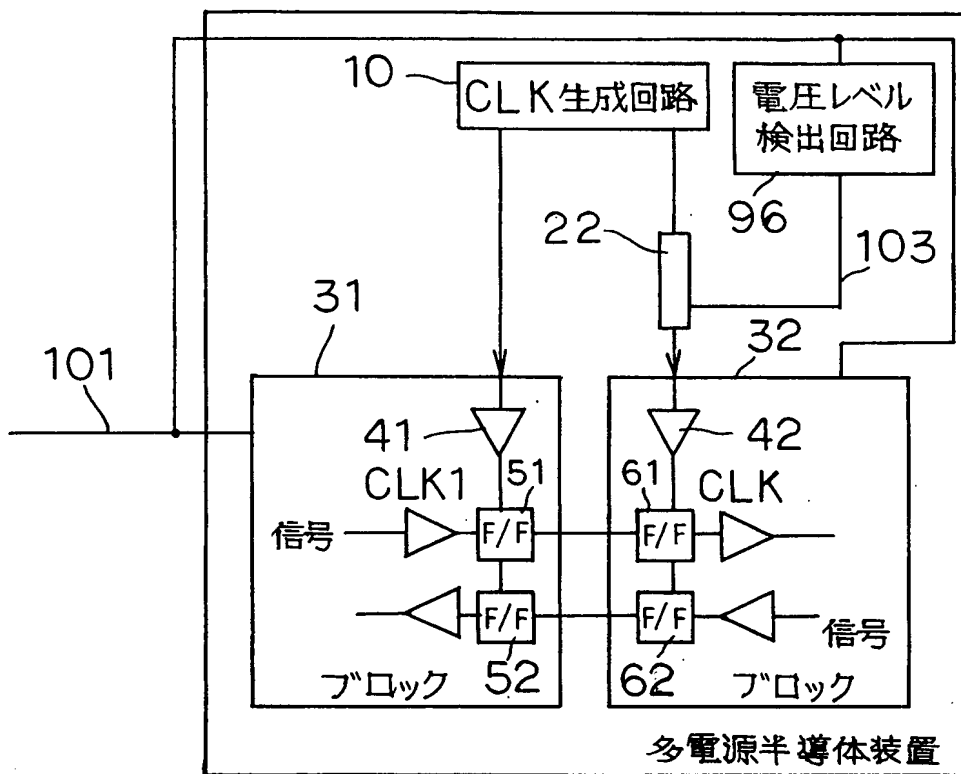
[図14]



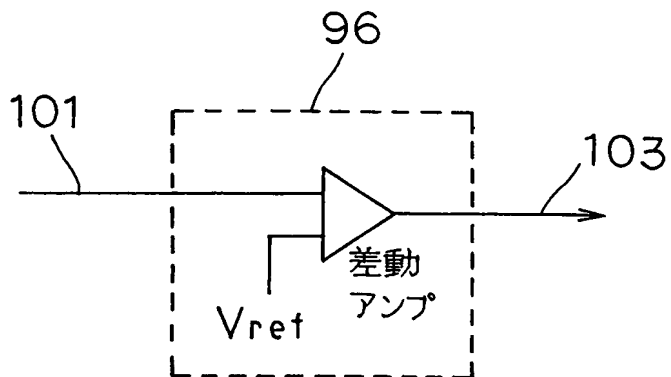
[図15]



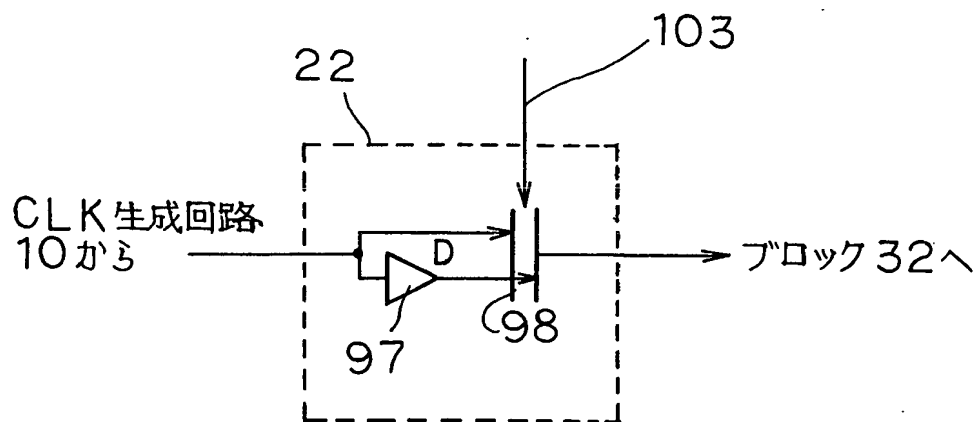
[図16]



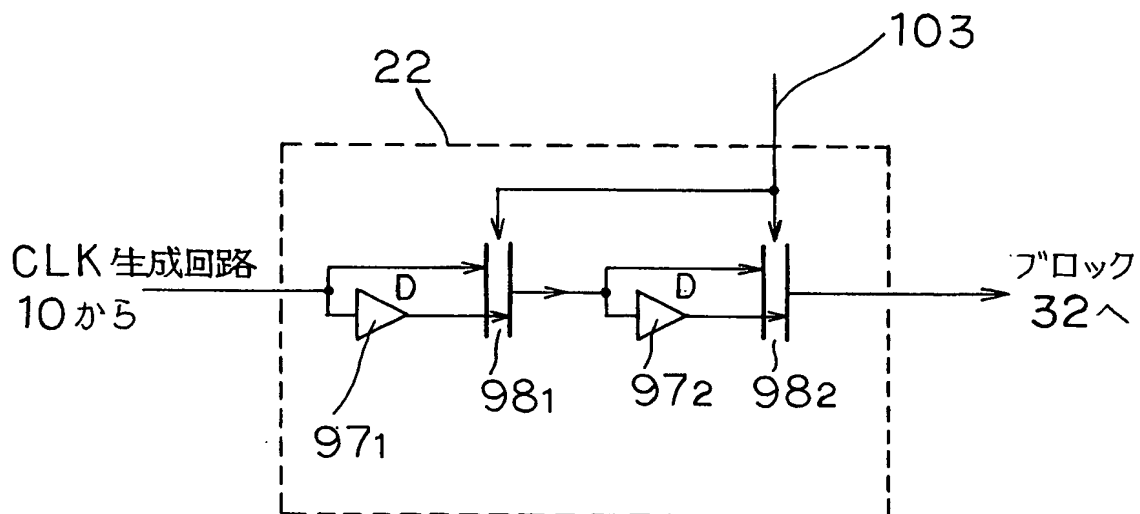
[図17]



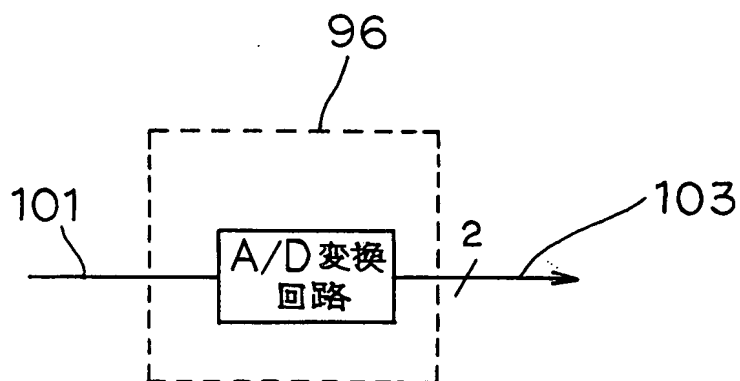
[図18]



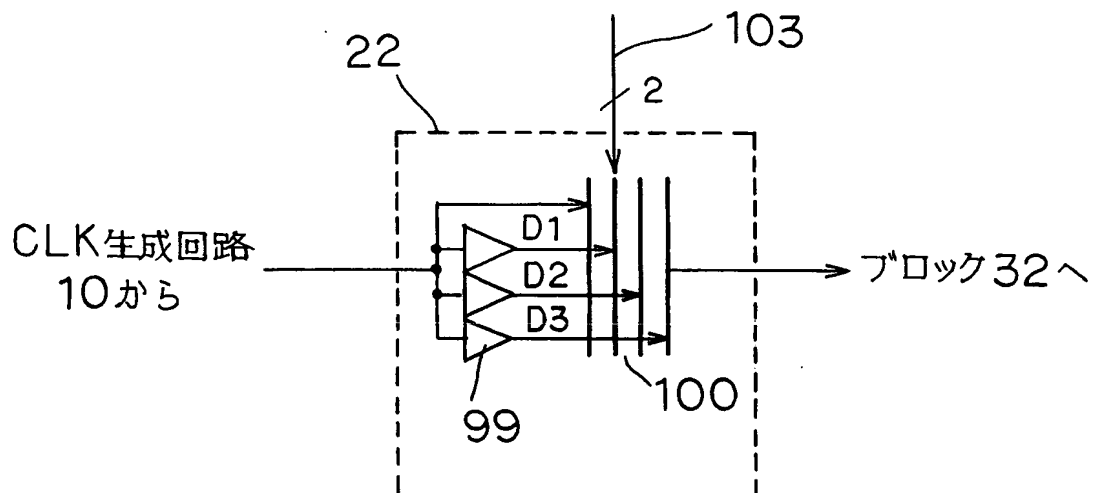
[図19]



[図20]

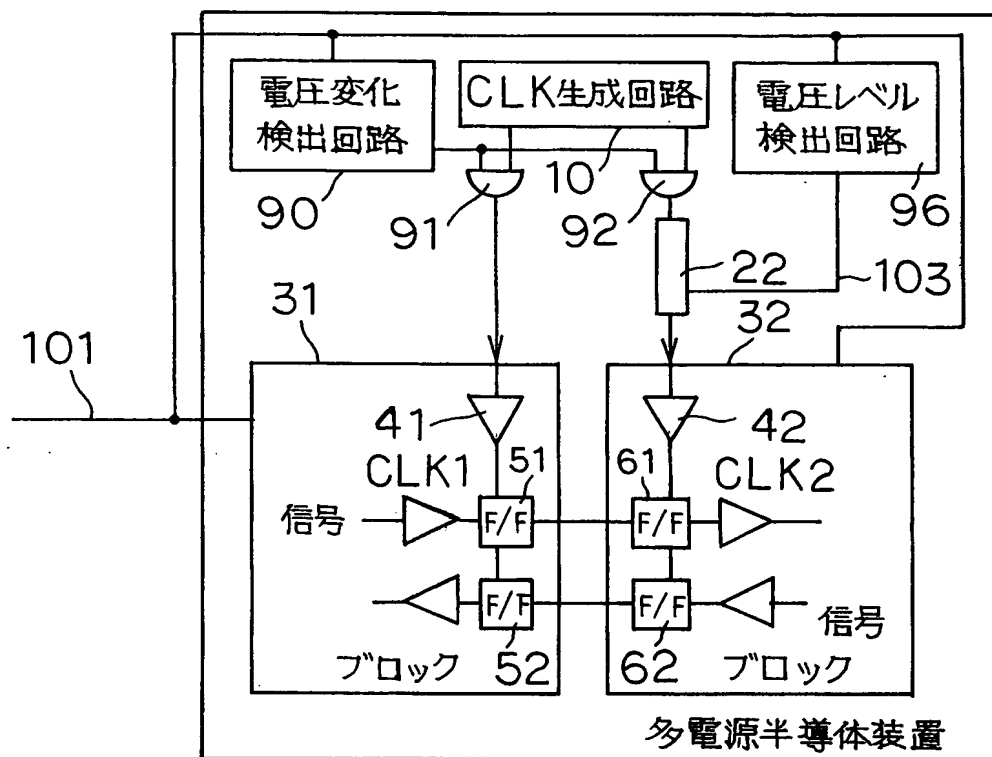


[図21]

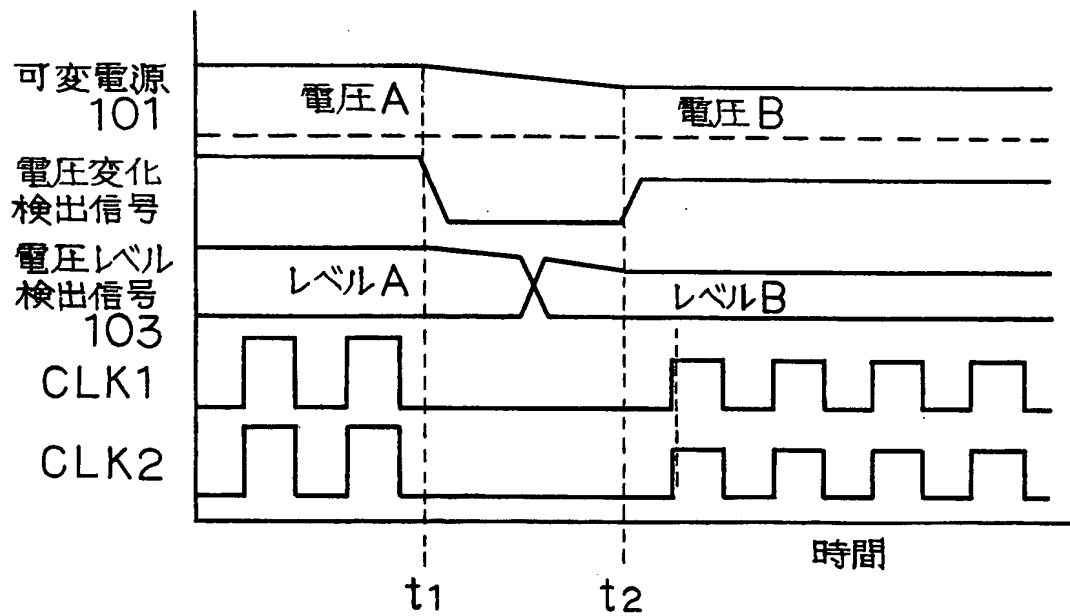




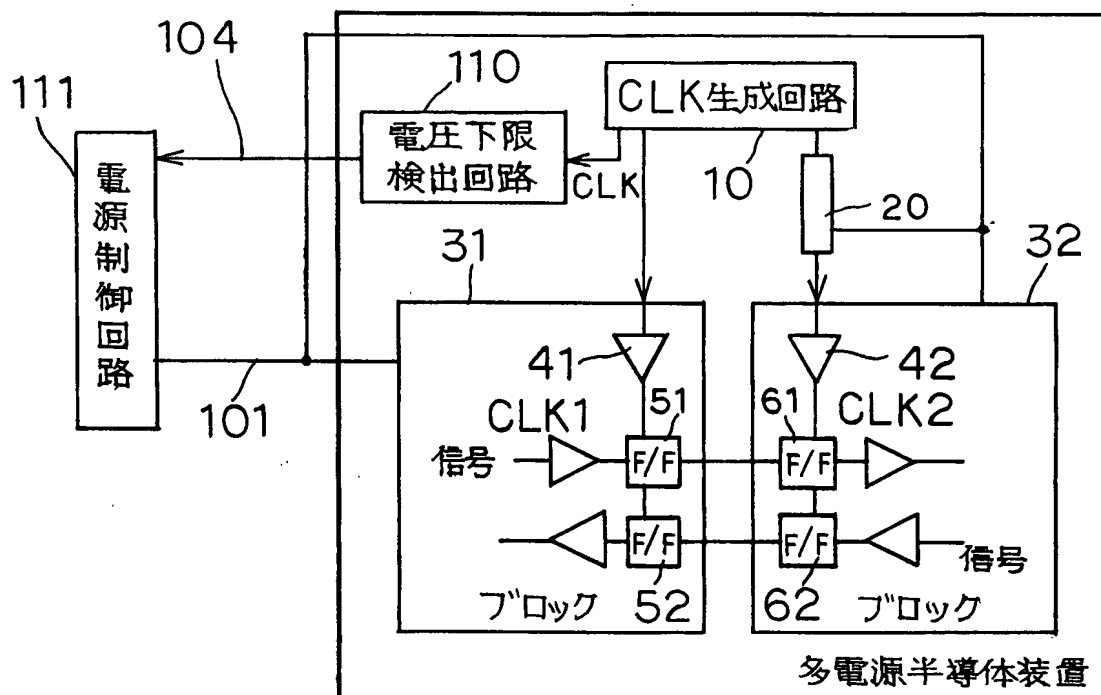
[図22]



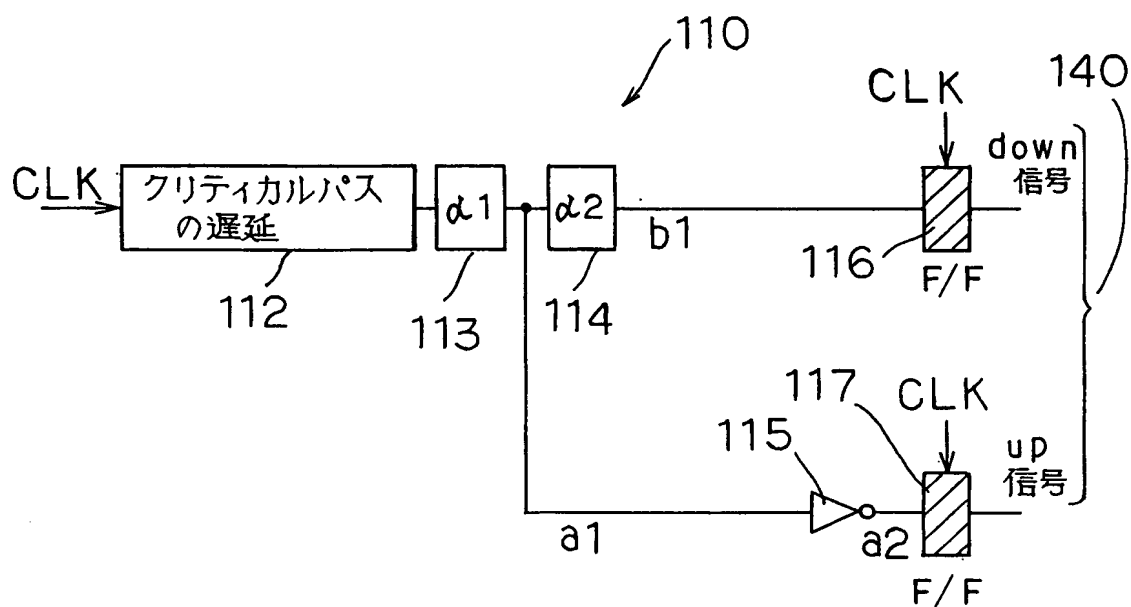
[図23]



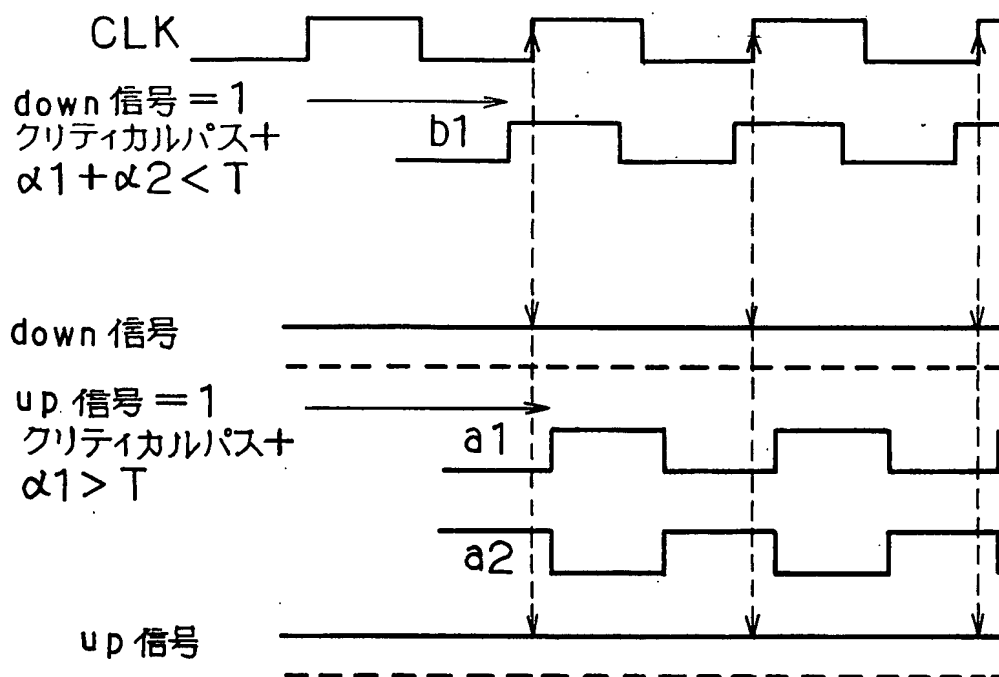
[图24]



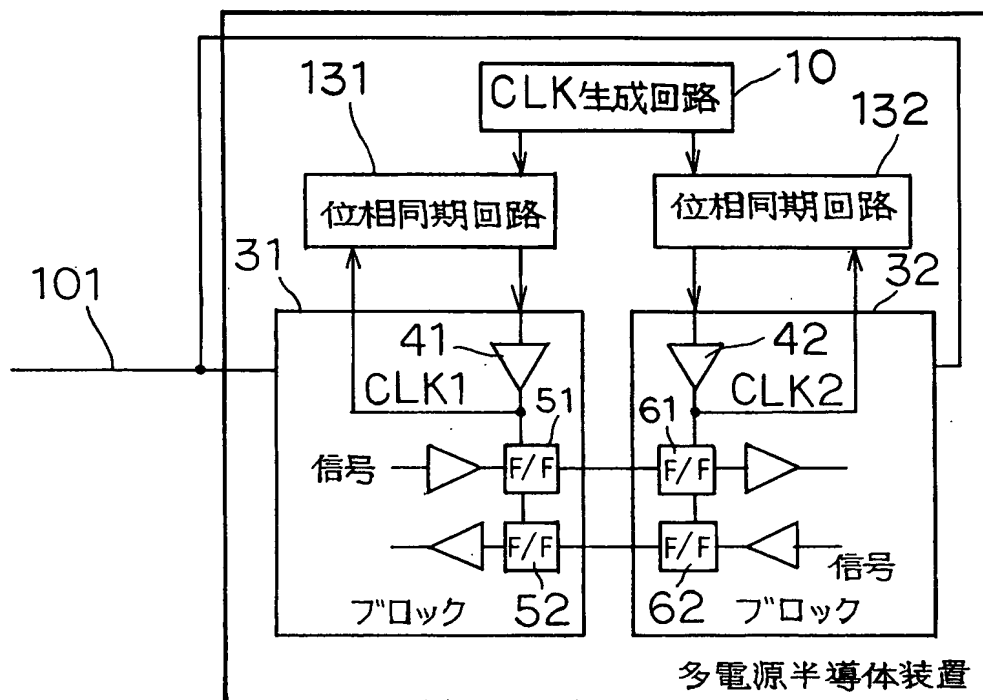
[図25]



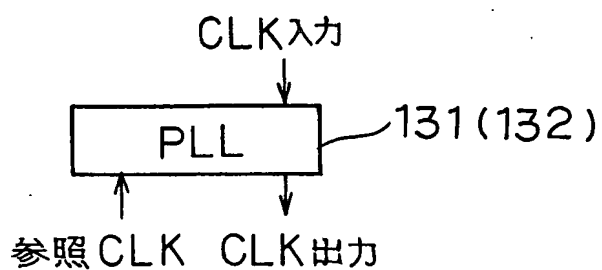
[図26]



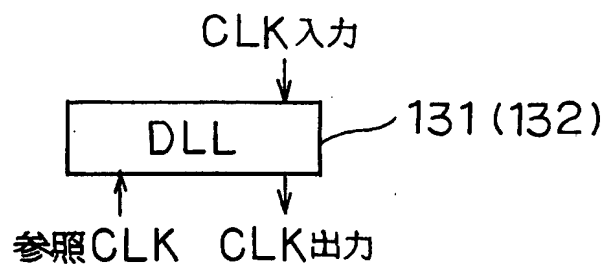
[図27]



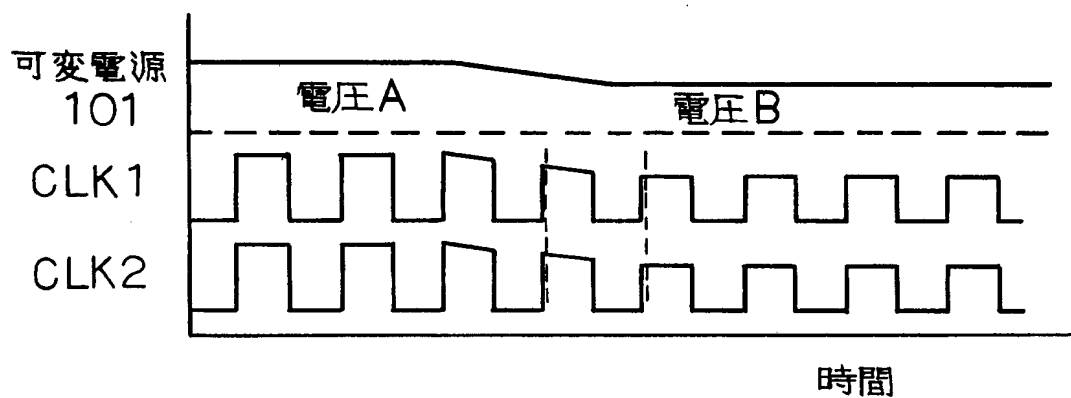
[図28]



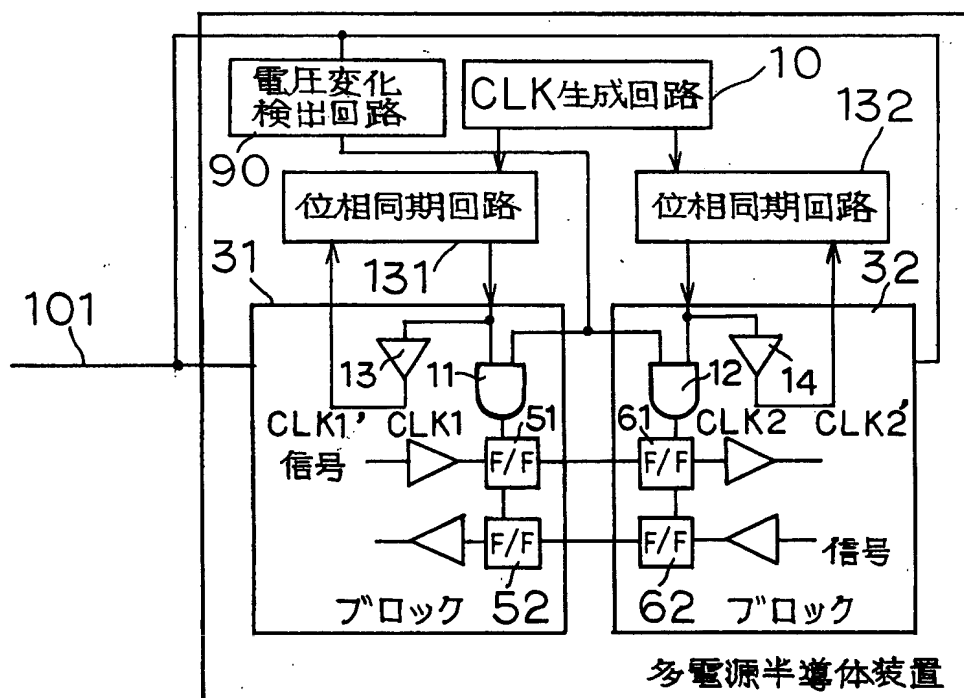
[図29]



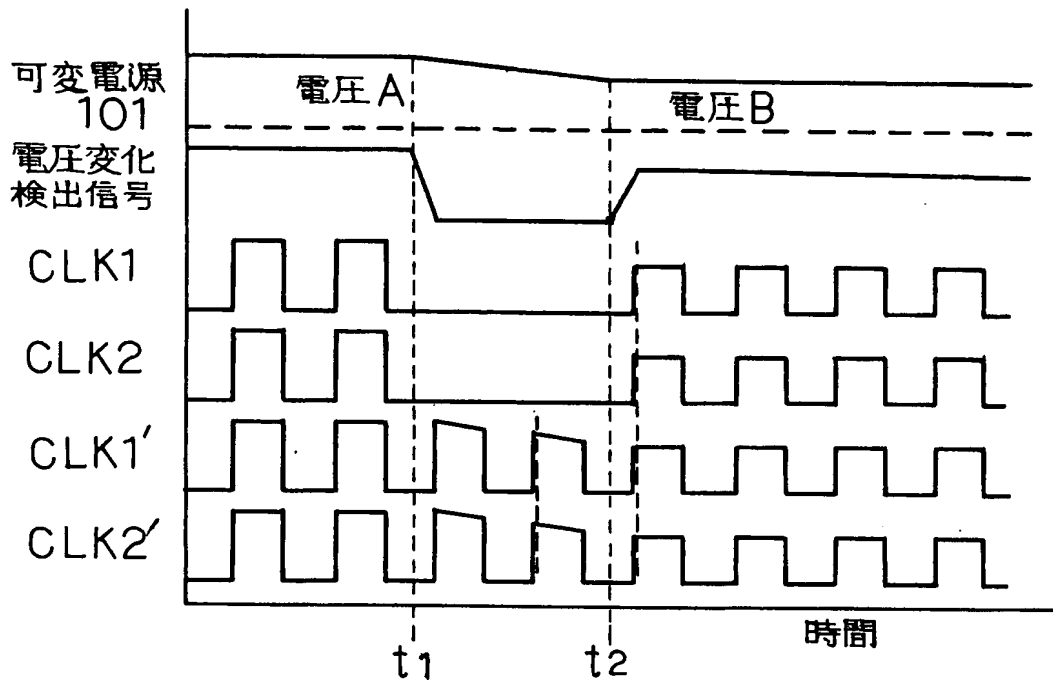
[図30]



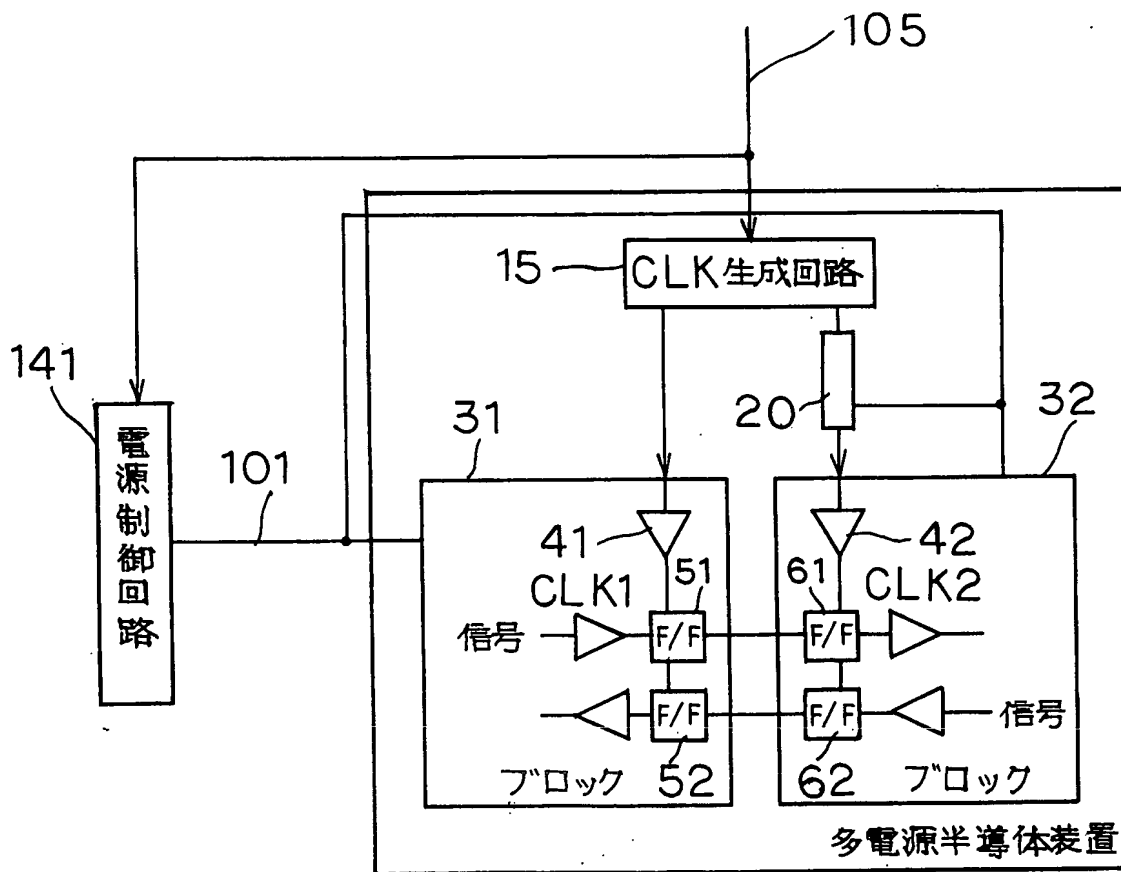
[図31]



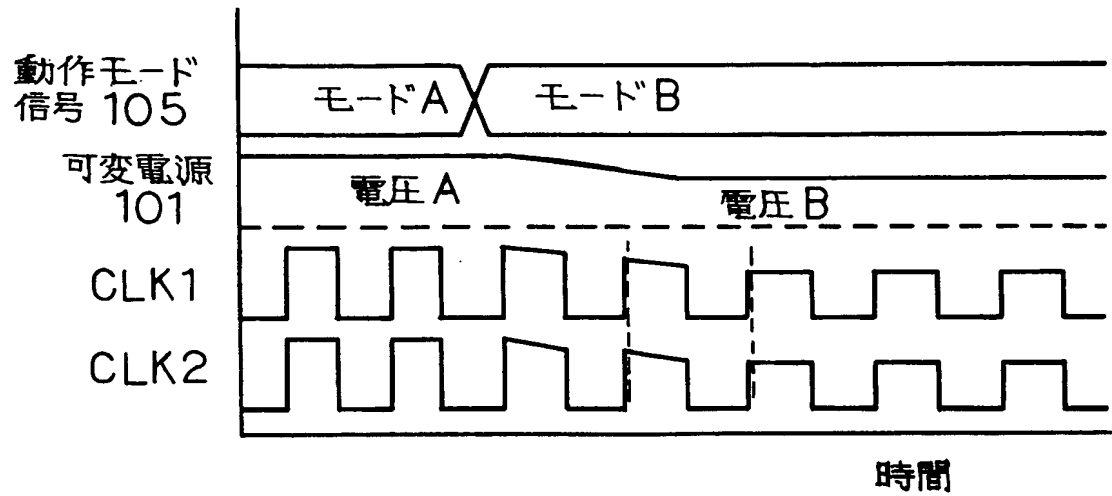
[図32]



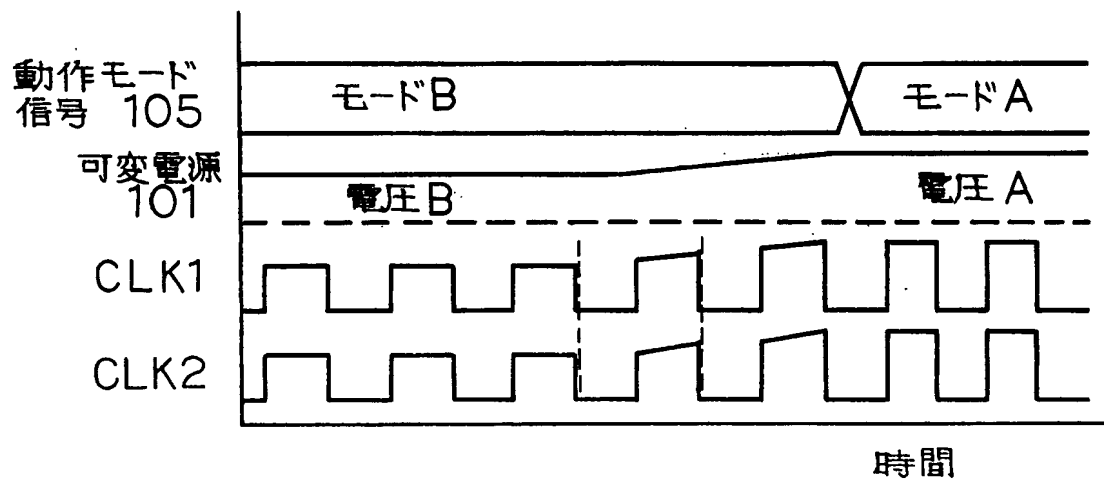
[図33]



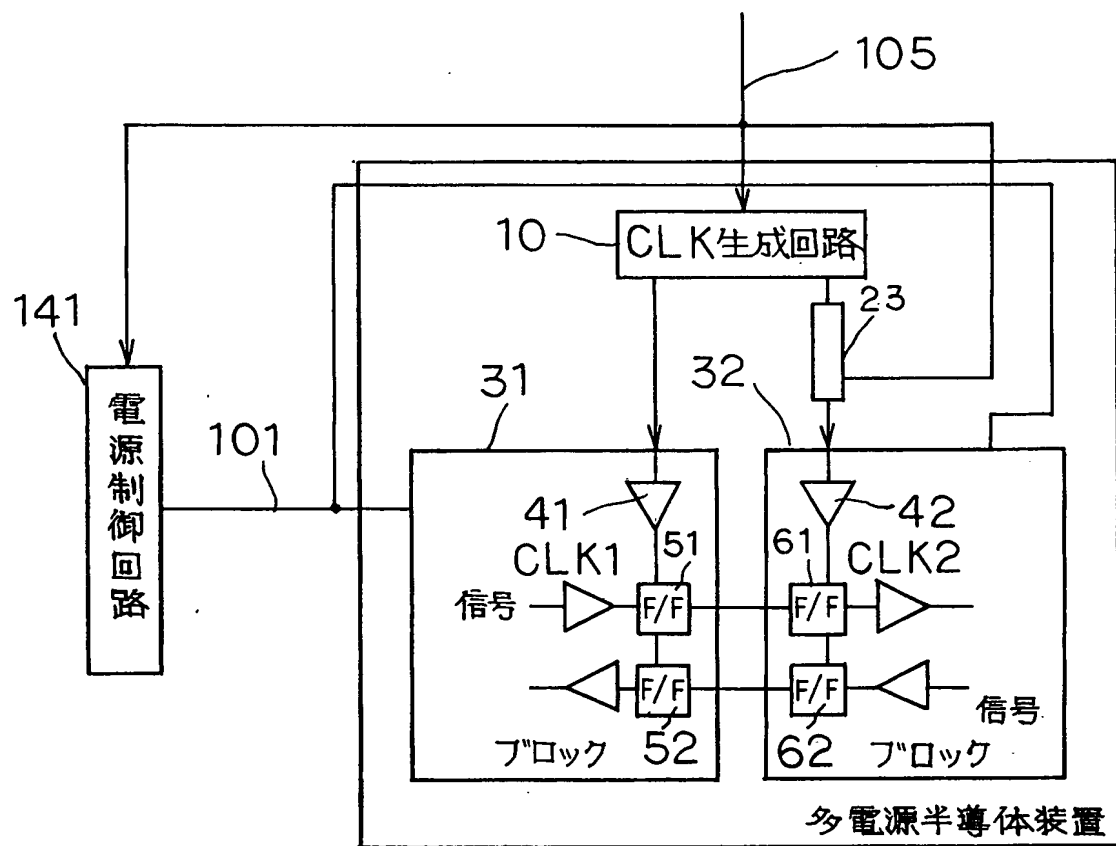
[図34]



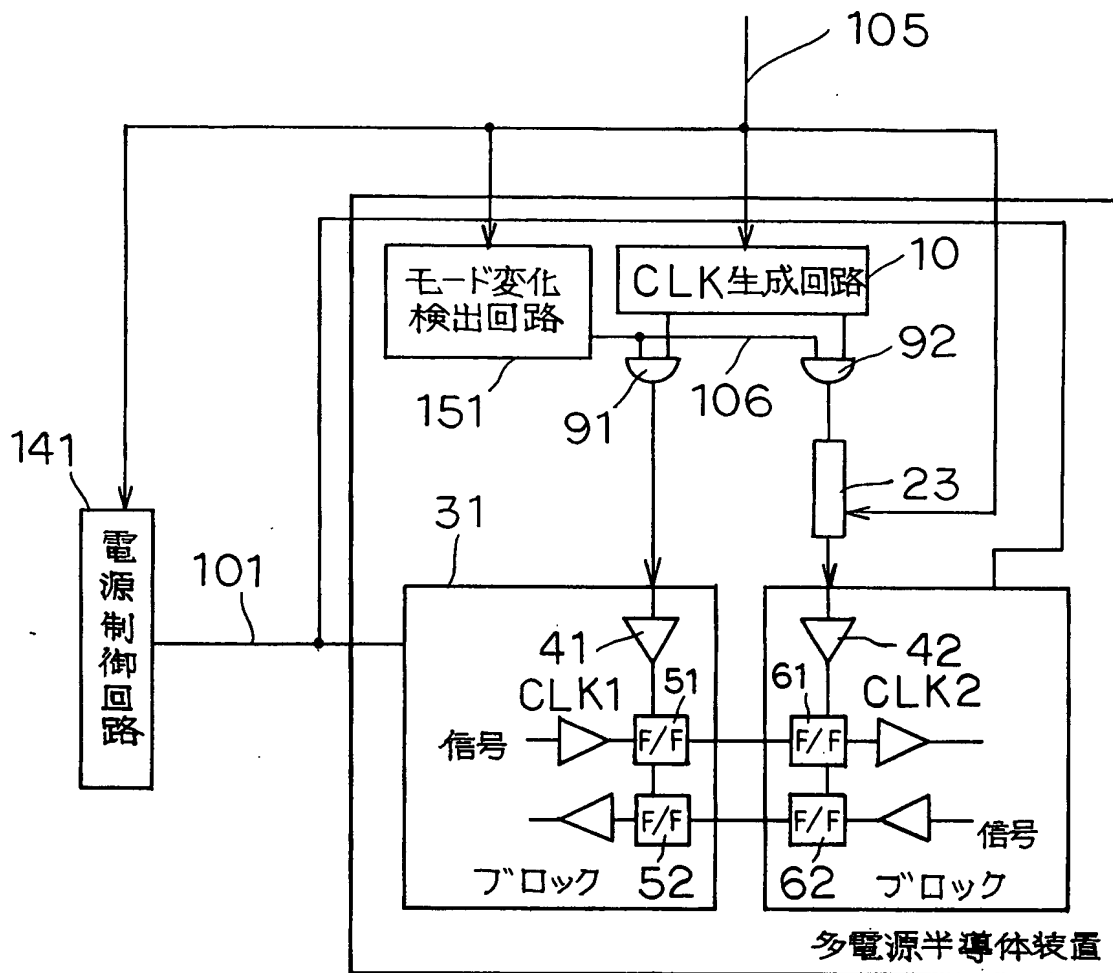
[図35]



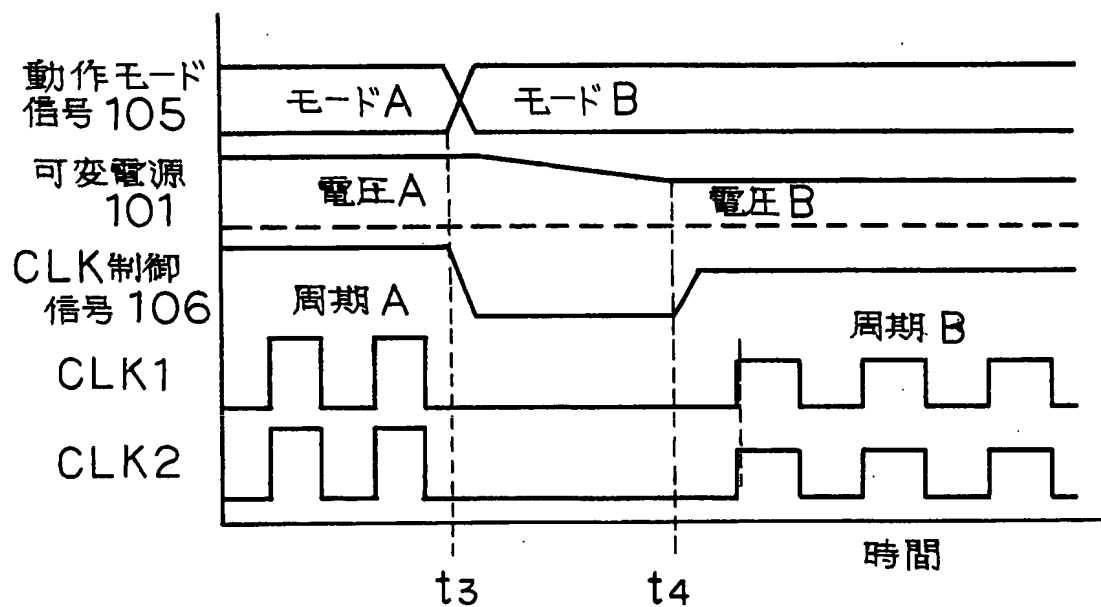
[図36]



[図37]

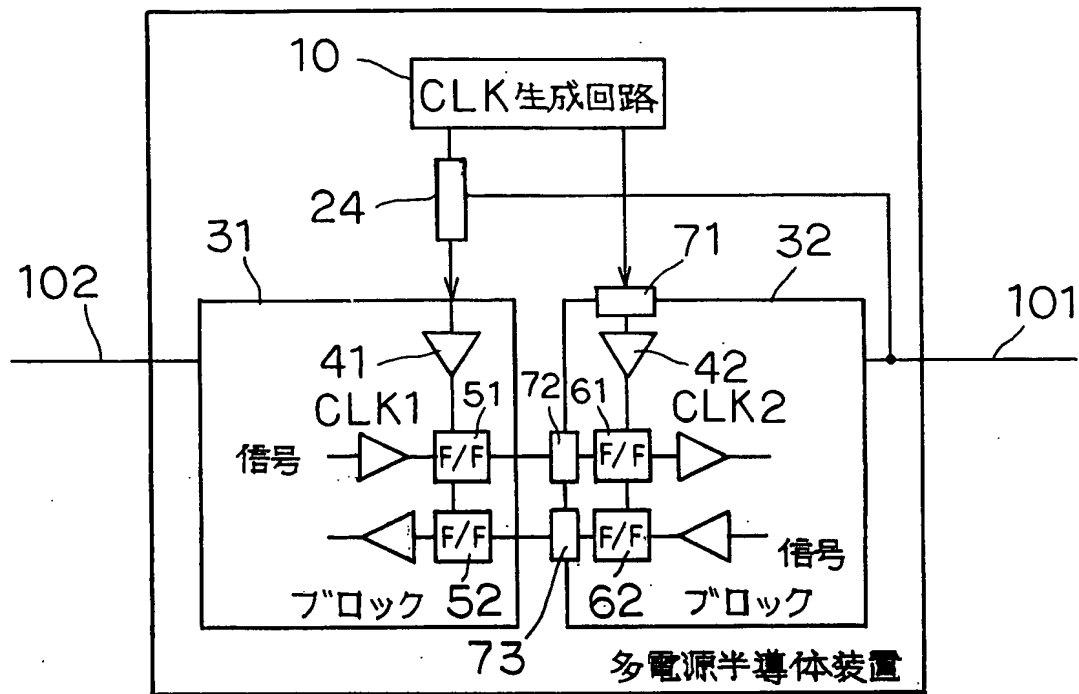


[図38]

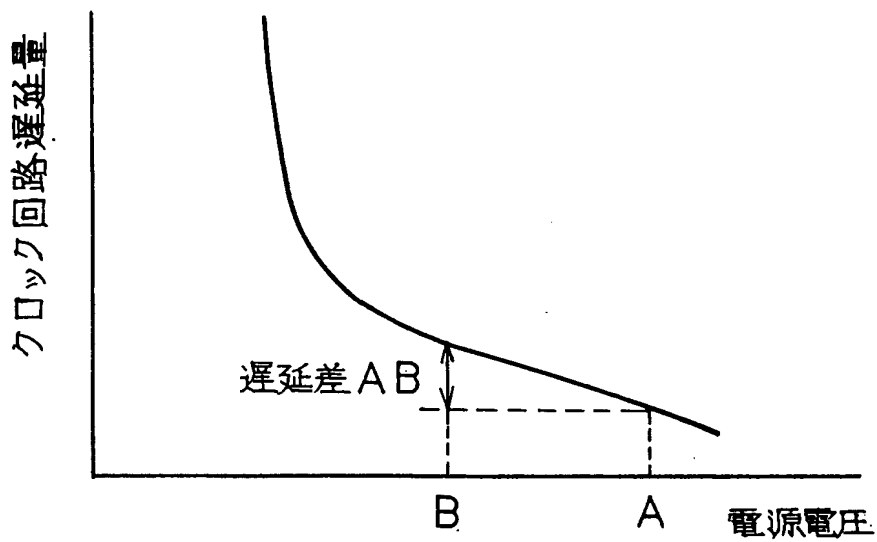




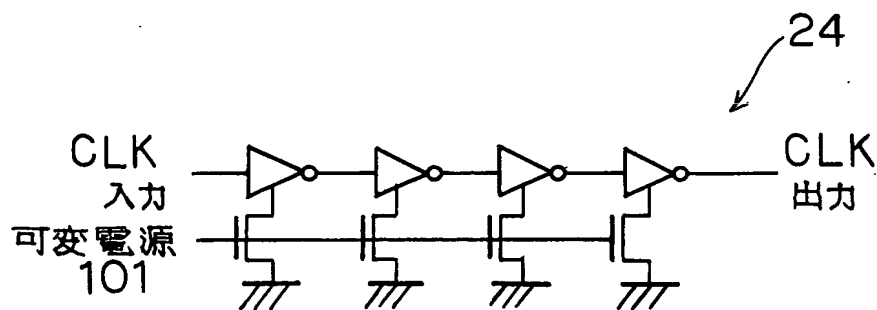
[図39]



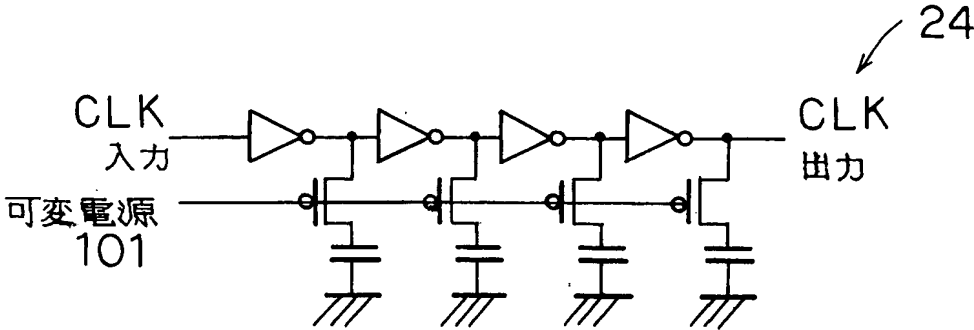
[図40]



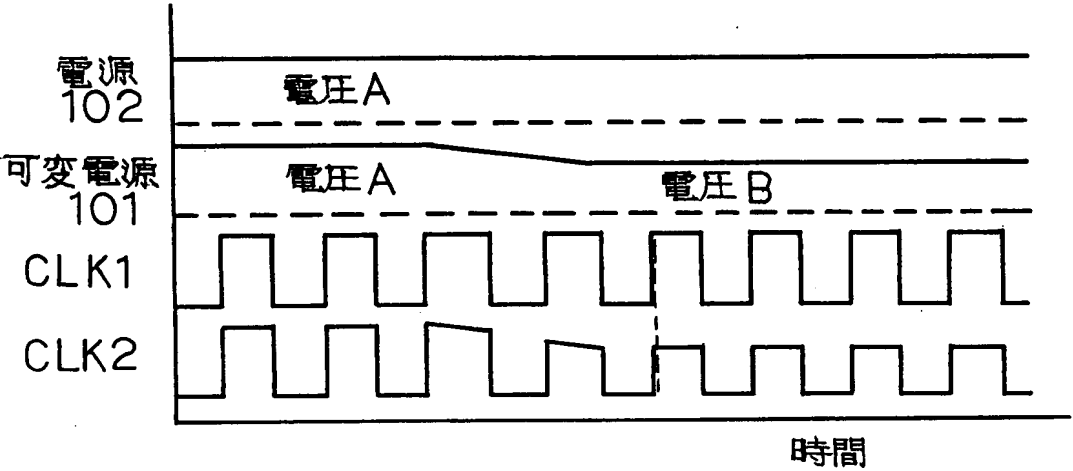
[図41]



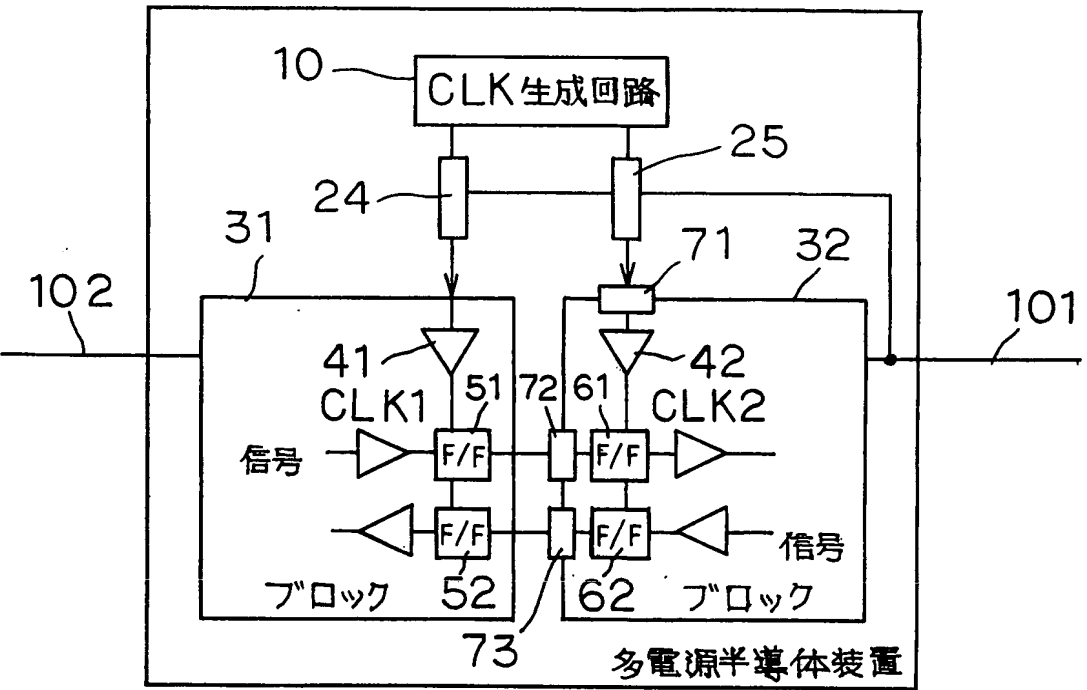
[図42]



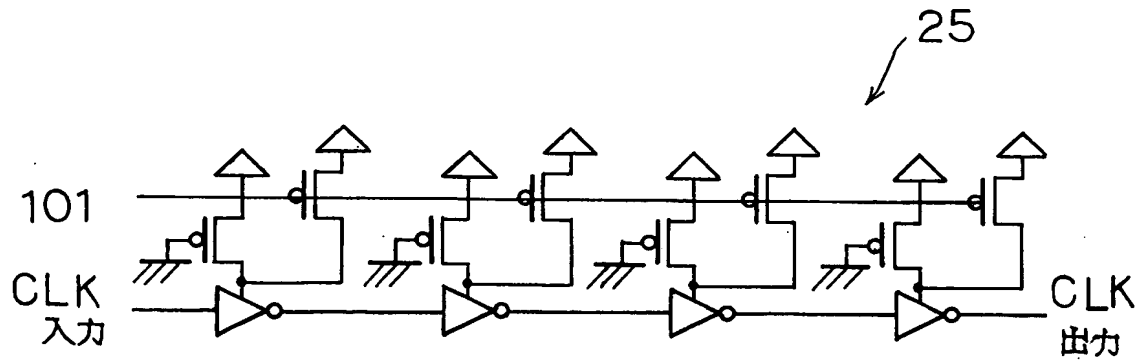
[図43]



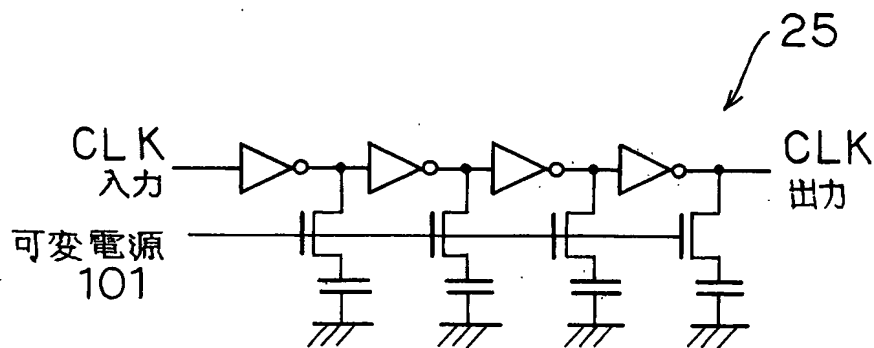
[図44]



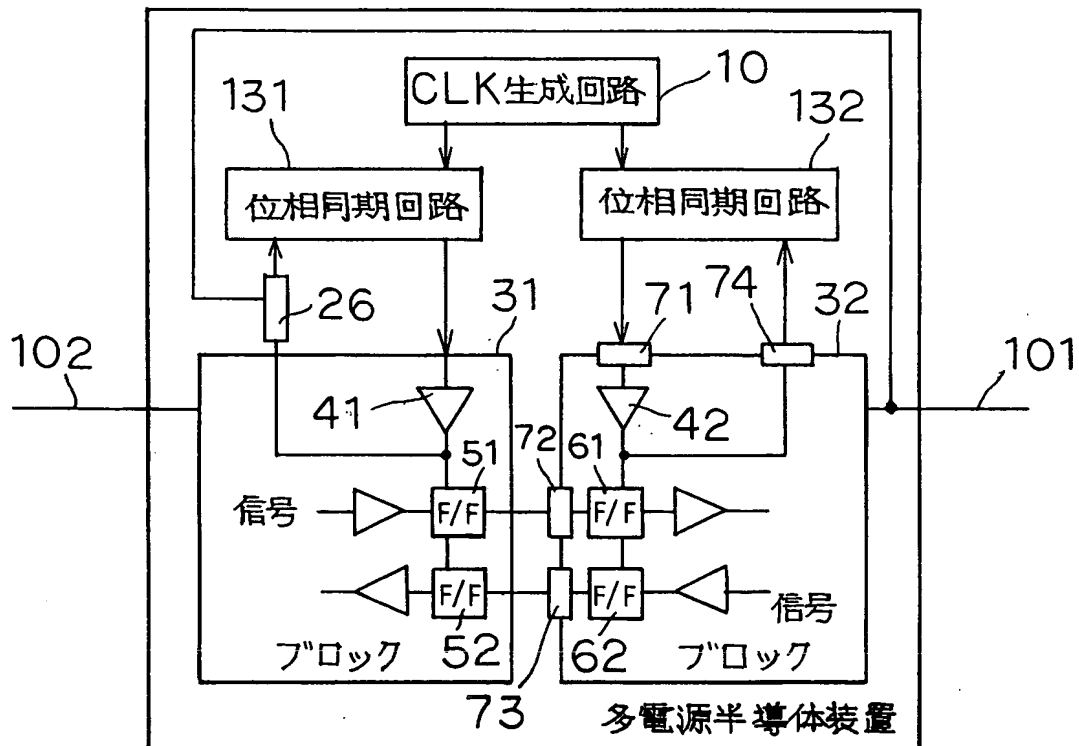
[図45]



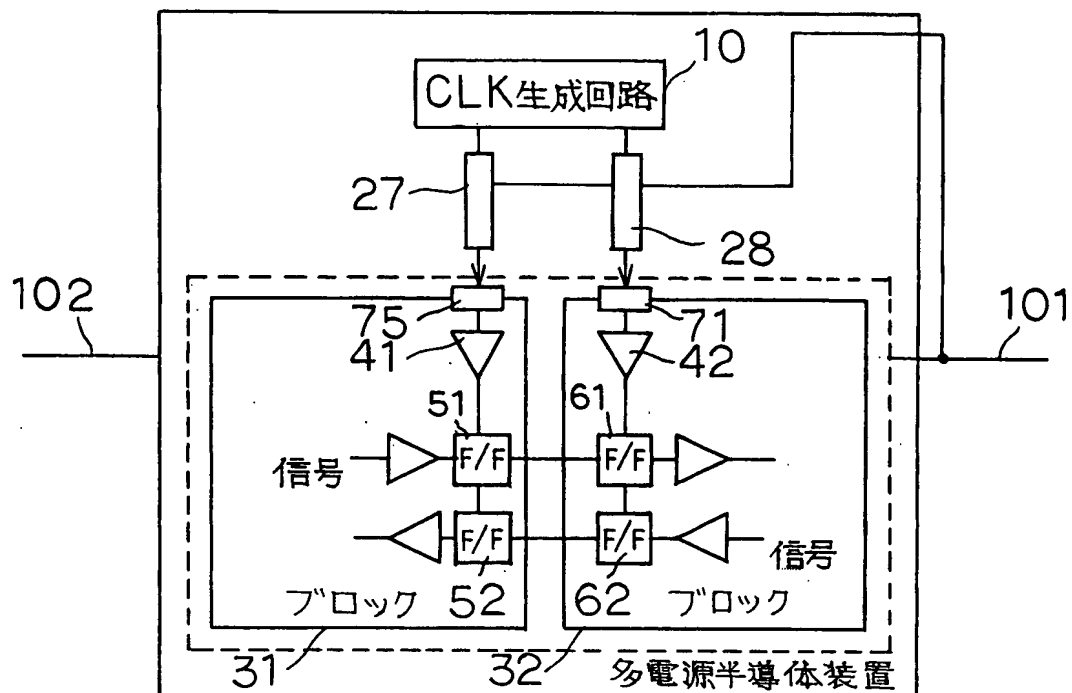
[図46]



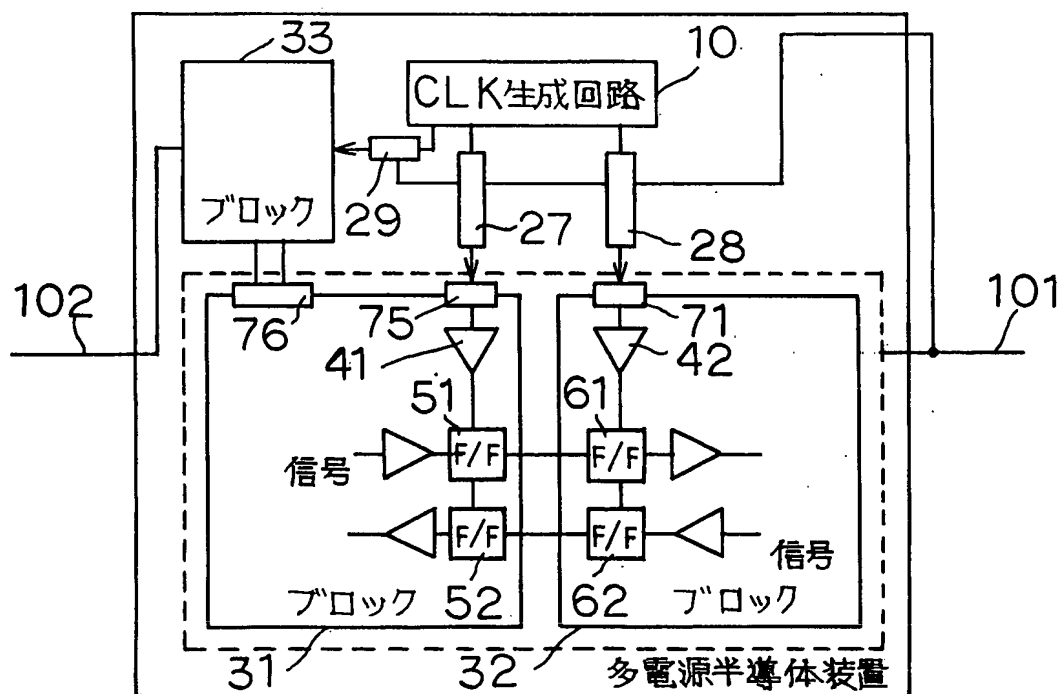
[図47]



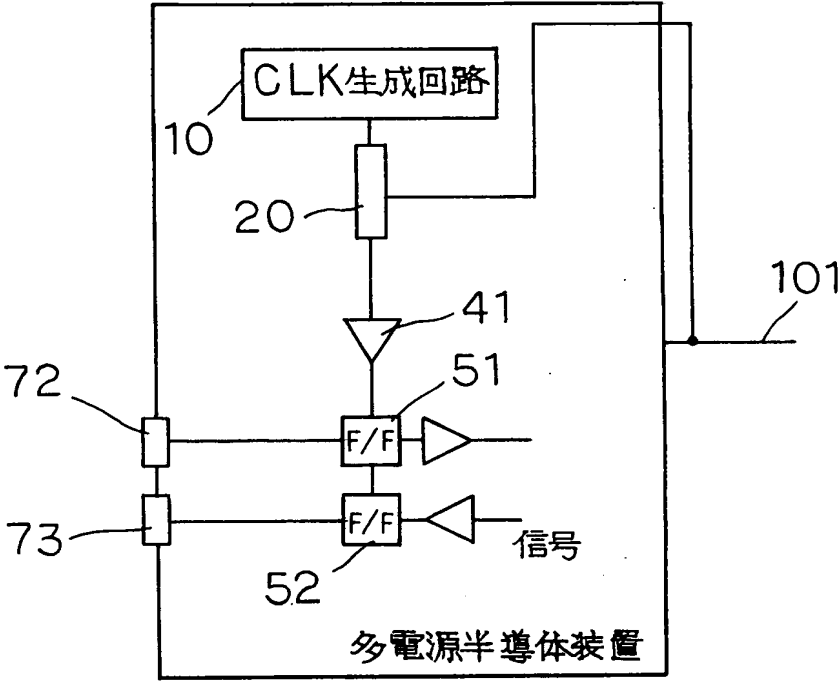
[図48]



[図49]



[図50]



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/010096

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> H01L27/04, H01L21/82, H03K19/0185, H03K5/135

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H01L27/04, H01L21/82, H03K19/0185, H03K5/135

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Toroku Jitsuyo Shinan Koho	1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 11-41090 A (Matsushita Electric Industrial Co., Ltd.), 12 February, 1999 (12.02.99), Full text; Figs. 1 to 21 (Family: none)	3 1, 2, 4-9
X A	JP 2003-78405 A (Toshiba Corp.), 14 March, 2003 (14.03.03), Full text; Figs. 1 to 15 & US 2003/0042955 A1	4, 5 1-3, 6-9
X A	JP 9-148914 A (Sony Corp.), 06 June, 1997 (06.06.97), Full text; Figs. 1 to 10 & US 5892385 A	4, 5 1-3, 6-9

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
07 October, 2004 (07.10.04)

Date of mailing of the international search report  
26 October, 2004 (26.10.04)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H01L27/04, H01L21/82, H03K19/0185, H03K5/135

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H01L27/04, H01L21/82, H03K19/0185, H03K5/135

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国実用新案登録公報	1996-2004年
日本国登録実用新案公報	1994-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 11-41090 A (松下電器産業株式会社)	3
A	1999. 02. 12, 全文, 第1-21図 (ファミリーなし)	1, 2, 4-9
X	JP 2003-78405 A (株式会社東芝)	4, 5
A	2003. 03. 14, 全文, 第1-15図 & US 2003/0042955 A1	1-3, 6-9

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」 口頭による開示、使用、展示等に言及する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」 同一パテントファミリー文献

国際調査を完了した日

07. 10. 2004

国際調査報告の発送日

26.10.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)  
郵便番号100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)  
大嶋 洋一

4 L

9170

電話番号 03-3581-1101 内線 6764

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 9-148914 A (ソニー株式会社)	4, 5
A	1997. 06. 06, 全文, 第1-10図 & US 5892385 A	1-3, 6-9